

文章编号 1004-924X(2016)08-1854-07

利用普通 CCD 实现百万帧/秒超高速 成像的时序驱动技术

杨少华^{1,2*}, 李斌康^{1,2}, 郭明安², 刘璐², 罗通顶², 李刚², 高帅²

(1. 西北核技术研究所 强脉冲辐射环境模拟与效应国家重点实验室, 陕西 西安 710024;

2. 西北核技术研究所, 陕西 西安 710024)

摘要:提出了基于普通 CCD 的掩模式成像技术来大幅提高 CCD 的图像获取速度, 实现百万帧/秒的 CCD 时序驱动方法。介绍了加掩模后 CCD 的工作过程, 利用掩模把普通 CCD 的光敏区划分为带有存储区的像素阵列, 实现了普通 CCD 的片上存储功能。分析了利用普通 CCD 实现百万帧/秒超高帧频的时序驱动方法, 掩模形状决定了帧速, 帧数和图像的分辨率。对系统的时序结构、电荷转移方式和驱动电路进行了说明, 通过特殊驱动电路和图像处理软件设计实现了百万帧/秒的超高帧频。最后, 对驱动时序进行了仿真和实验验证。采用条状孔阵列掩模, 基于普通 CCD 图像传感器进行了百万帧/秒工作速度的验证, 获得了 14 幅 79 pixel \times 79 pixel 的图像, 其帧频达到 200×10^4 frame/s。文章所述技术具有一定的通用性。

关键词:百万帧/秒成像; CCD 驱动时序; 高帧频成像系统; 电荷耦合器件 (CCD)

中图分类号: TN386.5; P231 **文献标识码:** A **doi:** 10.3788/OPE.20162408.1854

Ultra high speed driver timing method for million frame per second based on normal CCD image sensor

YANG Shao-hua^{1,2*}, LI Bin-kang^{1,2}, GUO Ming-an², LIU Lu²,
LUO Tong-ding², LI Gang², GAO Shuai²

(1. *State Key Laboratory of Intense Pulsed Radiation Simulation and Effect,*

Northwest Institute of Nuclear Technology, Xi'an 710024, China;

2. *Northwest Institute of Nuclear Technology, Xi'an 710024, China)*

** Corresponding author, E-mail: yangshaohua@nint.ac.cn*

Abstract: An ultra high speed CCD driver timing method based on a normal CCD image sensor was proposed to improve the CCD image acquisition speed and achieve the image speed in million frame per second. The working processing of the CCD after masking was introduced. With a specialized mask, the original light sensitive area of the normal CCD sensor was divided into pixel array with a certain storage area to implement the storage function on a chip. The driver timing method to achieve the image speed in million frame per second was analyzed and the frame rate, frame number and resolution of

收稿日期: 2016-04-14; 修订日期: 2016-05-30.

基金项目: 国家自然科学基金资助项目 (No. 11475138, No. 11075131)

the image were decided by the shape of the mask. The driver timing was well introduced, the structure of timing, charge transfer mode and the driving circuit were given, then, the ultra high speed in million frame per second was implemented by the special circuit and image processing software. Finally, The designed method and simulation result of ultra high speed logic timing were verified in detail. With a strip array mask and an ordinary CCD, the performance of 2 million frame per second is achieved, 14 result images with a resolution of 79×79 are obtained. Moreover, the method proposed has universality in applications.

Key words: million frame per second imaging; CCD driver timing; high frame rate imaging system; Charge Couple Device(CCD)

1 引言

超高速成像系统在流体力学、高速碰撞试验、等离子体物理、爆炸力学、超声流场气动力学等科学领域有着广泛应用^[1-2]。超高速成像系统的核心是图像传感器,目前常用的图像传感器是 CCD 和 CMOS。相对于 CMOS 图像传感器而言,CCD 图像传感器具有更高的灵敏度和极低的噪声本底,适合于微光和大动态探测^[3-4]。但 CCD 采用的电荷转移逐个检测输出的图像采集方式,造成了每帧图像输出时间占用较长^[5-6],帧频难以提高,所以 1000 frame/s 以上的高速成像系统的图像传感器大多是 CMOS 成像器件。为了提高 CCD 的帧频率,有人提出了多端口输出技术^[2]。多端口 CCD 在电荷的输出部分采用多个水平转移寄存器结构,每个水平转移寄存器结构对应一个输出放大器,从而在一个水平像素转移周期可以同时输出多个像元的电荷,较采用单个端口的输出方式可以成倍地提高 CCD 的帧频率。这种多端口输出的方式虽然可以把 CCD 的帧频提高到几百帧每秒甚至千帧每秒的速度,但仍然无法完全克服像素电荷输出时间对帧频率的限制^[3-4]。为了进一步提高 CCD 的帧频率,芯片存储技术被提出并应用。由于每个像素在芯片上都有一个存储区,这样的 CCD 芯片摆脱了电荷输出时间的影响,也达到了百万帧每秒以上的工作速度^[5-6]。同样的技术也被应用在 CMOS 图像传感器中,并达到了 500 万帧每秒的超高帧频^[7]。

鉴于片上存储可以获得超高的帧频率,本文提出了一种基于普通 CCD 的掩膜式成像技术。该技术能够大幅提高 CCD 的图像获取速度,使普通 CCD 的帧频率最高可达百万帧每秒以上。应

用该技术,采用特殊的驱动时序,实现了 200 万帧每秒的超高工作速度,并获取了 14 幅 $79 \text{ pixel} \times 79 \text{ pixel}$ 的高速图像数据。

2 普通 CCD 实现百万帧每秒高速成像的方法

限制普通面阵 CCD 帧频率的最主要原因是 CCD 的电荷输出时间。如果采用先在芯片内部存储图像数据而后输出的方式,避免 CCD 电荷输出时间的影响,可以大大提高 CCD 的最高帧频率。不同 CCD 芯片的结构与工作方式有很大区别,本文需要使用面阵 CCD 芯片才能实现片上存储功能,达到百万帧每秒的高速效果。因此,本文仅针对面阵 CCD 器件进行分析和研究。面阵 CCD 的光收集区域为光敏区,它具有曝光、存储电荷和转移电荷的功能。采用掩膜的方式覆盖光敏区的某些像素行,使这些像素行失去曝光功能,仅保留电荷存储和转移功能。经过掩膜后光敏区被划分为数个带有存储区的像素行,从而实现普通 CCD 的片上存储功能,其结构示意图如图 1 所示。对于分辨率为 $M \times N$ 像素有效感光像元阵列的 CCD 来说,每隔 1 行掩膜 n 行,光敏区重新划分成 m 个区域,其中 $m = M / (n + 1)$,则可以构成能够存储 $n + 1$ 幅图像(分辨率为 $m \times N$)的超高速 ISIS-CCD 芯片。此时,覆盖的 n 行作为存储区,存储前面 n 个曝光时间的图像数据,未掩膜的 1 行存储当前曝光的图像数据。 n 的最优值根据实际的应用需求选择,主要为分辨率与画幅数。所能获得的最大画幅数为 $n + 1$;分辨率为 $m \times N$,与 m 值成正比。 n 值越大,存储画幅数越多,分辨率越低。

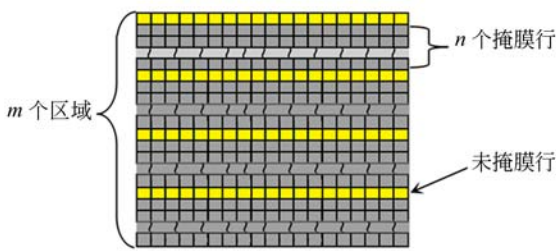


图 1 掩膜 CCD 光敏区结构原理示意图

Fig. 1 Principle of CCD sensitive area mask

掩膜 CCD 的最高帧频由一行像素行的转移时间和曝光时间共同决定,而 CCD 的电荷转移和曝光可并行完成,故而最高帧频能够达到 CCD 的行转移频率。当 CCD 的行转移时钟达到 1 MHz 时,掩膜 CCD 的帧频率可以达到 1 百万帧每秒。

3 百万帧每秒 CCD 驱动时序

金属掩膜更改了 CCD 光敏区部分像素的功能,使原来的感光像素成为了片上存储区,因此需要根据更改的情况重新设计驱动时序,以实现超高帧频的功能。虽然掩膜改变了 CCD 像素的功能,但并没有改变 CCD 的电路结构,对 CCD 的控制方式没有改变,其外围的硬件电路与电源需求与原来的 CCD 相同。金属掩膜把 CCD 的光敏区分隔成了若干个类似帧转移 CCD 的小功能区,每个功能区由一行感光像素与多行存储像素组成;但这些功能区无法进行感光像素与存储像素的独立操作,因为这些区域中的像素仍然是原来 CCD 光敏区的像素,其转移过程不会因为掩膜的存在而发生改变。因此,在时序设计中,这些行的转移仍然只能通过原 CCD 的光敏区的行转移来控制,但由于需要在行转移的过程中加入曝光时间,转移 n 行后得到 $n+1$ 幅超高帧频图像数据,所以行转移的控制变得更加复杂,需要设计特殊的驱动时序才能实现超高帧频。

普通面阵 CCD 的一帧工作时序可以分为曝光与输出两个过程。曝光过程是收集光电荷的过程,把光的强度信号转换成电信号,在此过程需要保证光敏区的电荷不被转移且维持像素的势阱电压,不需要变换驱动电平。这里所谓的输出过程包括像素的垂直转移与水平转移两部分时序。对于有存储区域的 CCD (ITCCD、FTCCD),输出

过程还包括电荷向存储区转移的驱动时序。输出过程把像素电荷逐个转换成电压信号输出到外部处理电路。掩膜式 CCD 设计仅更改了光敏区的结构,因此其输出时序与原 CCD 时序相同,所不同的是曝光过程的控制时序,即需要重新设计光敏区的控制时序。光敏区的控制信号为一组交叠时钟信号,每组交叠时钟的一个周期转移一个像素行。每组交叠时钟包含的驱动时钟数量由 CCD 结构确定,即二相 CCD 结构需要两个驱动时钟信号,三相 CCD 为 3 个,四相 CCD 为 4 个^[6]。本文所选的两种 CCD 的光敏区都是二相式 CCD 结构,因此这里以二相 CCD 为例说明特殊驱动时序,其它类型 CCD 的特殊驱动与此类似。

二相 CCD 光敏区的控制信号包含 V_1, V_2 两个驱动时钟,在正常时序驱动情况下 CCD 曝光时 V_1, V_2 保持电平即可,没有电平变化。采用掩膜设计后,原来的曝光过程变为多个小的超高速帧过程(过程 1)序列,这些超高速帧过程序列包括可调曝光与快转移两个过程,而输出过程则与掩膜前的 CCD 时序相同,如图 2 所示。通过编程控制可调曝光过程,50 ns 步进可调,最小可设置为 0 ns。快转移过程是指转移一幅掩膜图像的过程,实际上仅需要转移一个光敏区的像素行,在时序上就是一组 V 脉冲。因此,超高速帧过程实际上是一个增加了一段时间延迟的垂直转移时钟 V 脉冲的周期序列。一个完整的掩膜 CCD 超高帧频图像采集过程(过程 2)包含 n 个超高速帧过程,使得感光像元的电荷载在垂直方向共转移 n 次,在垂直方向的像元中共存储了 n 幅图像,当前的一幅图像存储于感光像元中。在图像采集结束后输出图像,完成超高速掩膜图像数据的输出。上述时序是掩膜 CCD 的基本时序,可以根据实际需要每一个超高速帧的曝光时间进行编程控制,形成一系列曝光时间具有时间编码信息的图像数据。

由掩膜 CCD 的基本时序可以看出,超高速帧过程的曝光时间由可调曝光时间与转移曝光时间两部分组成。可调曝光时间最小可以设定为 0 ns,而转移曝光时间长度就是一个垂直转移时钟周期 V_t ,是 CCD 像素在垂直转移时仍处于曝光状态而产生的固有曝光时间。因此,超高速帧过程的曝光时间与超高速帧的占用时间相同,它

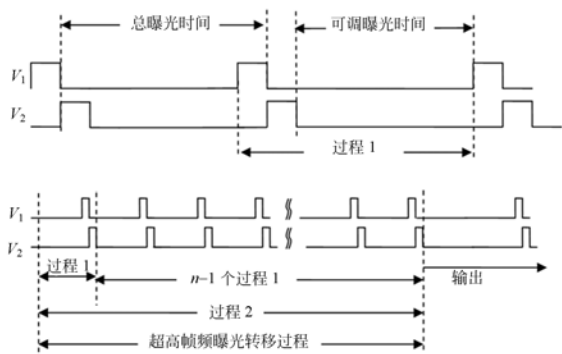


图 2 二相掩膜 CCD 的超高速驱动时序图

Fig. 2 Driver time sequences of masked 2-phase CCD

有一个固定的最小值 V_t , 这表明掩膜后的一帧时间最小为 V_t , 最高帧频率为 $1/V_t$ 。即垂直转移一行像素所占用的时间为一个超高速帧过程的最少占用时间, 垂直转移时钟的最高频率就是掩膜 CCD 的最高帧频率。为进一步提高掩膜 CCD 的帧频率上限, 需要设法减少垂直转移过程所占用的时间, 即提高垂直转移时钟 V_1, V_2 的频率。然而, 由于垂直转移时钟的频率与 CCD 转移效率相关, 频率过高会引起转移效率的下降, 从而影响最终的图像, 所以不同 CCD 芯片掩膜后能够达到的最高帧频率都有一个最大极限。

4 最高帧频的理论计算与分析

CCD 的帧频率为其一帧占用时间的倒数, 掩膜 CCD 的帧频率 f_r 为:

$$f_r = \frac{1}{t_{exp} + V_t}, \quad (1)$$

其中: t_{exp} 为曝光时间, 最小为 0; V_t 为垂直转移时钟周期。因此, f_r 最大值为 $1/V_t$ 。可见, 要提高掩膜 CCD 的最高帧频率 f_r , 唯一可行的办法就是减少垂直转移时钟的周期 V_t , 而减少 V_t 的时间就意味着有可能降低转移效率 η , 影响图像质量。事实上, 对于具有数百到数千个行转移过程的 CCD 而言, 最终的输出电荷 I_o 与初始电荷 I_i 为指数关系, 即 $I_o = I_i \times \eta^N$ (N 是 CCD 像素行数), 转移效率的微小变化会严重影响图像质量。但对于掩膜 CCD 而言, 它的超高频曝光转移过程只有 n 个, 远远小于全幅图像的转移次数 N , 所以掩膜 CCD 可以承受一定的转移效率损失, 这就意味着掩膜 CCD 的 V_t 值比正常 CCD 小得多。根

据转移效率 η 计算公式:

$$\eta = (1 - 0.01e^{-\frac{t_{stage}}{\tau}}), \quad (2)$$

其中: t_{stage} 是 CCD 电荷包完成单级转移的时间, p 是 CCD 的相数, τ 为:

$$\tau = \frac{4L^2}{\pi^2 D_n}, \quad (3)$$

其中: L 是 CCD 两个相邻电极之间的距离, D_n 是 CCD 的表面扩散常数^[7]。

由式(2)和式(3)可以推导得出 CCD 单级转移时间 t_{stage} 为^[5-6]:

$$t_{stage} = -p \frac{4L^2}{\pi^2 D_n} \ln[100 \times (1 - \eta^{\frac{1}{p}})]. \quad (4)$$

本文所选的二相 CCD 的 $V_t = 2 \times t_{stage}$ 。

要获得一定的转移效率 η , 必须要保证一定的转移时间。当存储画幅数为 20 时, 设第一幅图像与最后一幅图像的差别小于 3%, 则要求 $\eta^{20} > 0.97$, 即 $\eta > 0.998$ 。本文选用的 CCD 芯片采用二相转移结构, 即 $p = 2$, 设其存储 20 幅图像, 即需要转移 20 次, 像元尺寸间距 $L = 13 \mu\text{m}$, $D_n = 35 \text{ cm}^2/\text{s}$ 。利用式(4)计算得到最小转移时间 $t_{stage} = 35 \text{ ns}$, V_t 最小为 70 ns, 此时所对应的最高帧频 f_r 为 $1.42 \times 10^7 \text{ frame/s}$ 。

因此, 从转移效率的计算上来讲, 本文所选用的 CCD 具有达到千万 fps 的可能性。但是实际中除了转移效率本身需要的时间因素外, 还有 CCD 的工艺和外部驱动时序的功率因素。因为 CCD 的工艺在出厂时就已经确定, 并且由于技术保密等原因无法获得完整的理论模型, 因此 CCD 实际能够达到的最高帧频只能通过实验方式得出。此时 V_t 为:

$$V_t = 2 \times (t_r + t_{stage} + t_f), \quad (5)$$

其中: t_r 为驱动时钟的上升沿占用时间, t_f 为驱动时钟的下降沿占用时间。它们的大小与驱动时钟的功率和驱动时钟的 RC 常数有关。

在面阵 CCD 图像传感器应用中, 时序的功率驱动技术一直是技术难点。CCD 像元是 MOS 电容器, 而面阵 CCD 是由很多像元组成的阵列, 即许多 MOS 电容并联, 对驱动电路表现为较大的容性负载, 在高速驱动时钟作用下会产生很大的瞬态电流, 这就要求驱动电路具有足够强的电流驱动能力。驱动电路需要提供的瞬态电流为:

$$i = C \frac{dV}{dt}, \quad (6)$$

式中: i 为 CCD 需要的驱动电流, C 为 CCD 电容型负载, V 是时钟摆幅电压, t 是脉冲持续时间。

式(6)中 dV/dt 为电平幅度对应驱动时钟的变化时间。假设边沿变化是线性的, 对于本文选择的 CCD 芯片, 垂直驱动时钟的等效电容负载为 12 nF, 电压幅度为 12 V, 要使 V_i 达到 80 ns, 那么上升沿 t_r 与下降沿 t_f 最大为 5 ns, 所需的瞬态驱动电流为 28.8 A, 这是很难做到的。在驱动电路可提供 3 A 瞬态电流的情况下, 驱动时钟的边沿变化最快为 48 ns, 那么 $V_i > 262$ ns 是有可能实现的, 此时 f_r 最高为 3.81×10^6 frame/s。在实际的 CCD 驱动电路中, CCD 引脚上面存在等效串联电阻效应, 两相 CCD 的芯片内部驱动电路的等效电路如图 3 所示。由于存在等效串联电阻 R_{V1} 、 R_{V2} , 驱动时钟的充电电流受到一定限制, 一般的等效电阻在 5~10 Ω 左右, 那么对于幅度为 12 V 的驱动电压, 最大的驱动电流 $i = U/R = 12/5 = 2.4$ A, 平均充电电流将会更小, 此时驱动时钟的边沿变化更慢, $t_r \approx 1.6 \tau_{RC}$ (τ_{RC} 是等效电路的 RC 常数), 将进一步降低 CCD 的最高帧频率。对于本文选取的 CCD 芯片, 其等效电阻为 5 Ω , 等效电容为 12 nF, RC 常数为 60 ns, 此时 V_i 达到 460 ns, 最高帧频率为 2.1×10^6 frame/s。

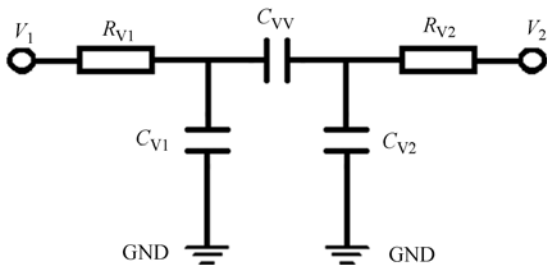


图 3 CCD 垂直时钟驱动电路的等效原理图

Fig. 3 Equivalent circuit of CCD vertical transfer clock

综上所述, 在千万帧每秒的帧频速度内, 掩膜 CCD 的转移效率对最高帧频的影响不大。由于本文选择的 CCD 芯片存在等效电阻效应, 在功率驱动电路可提供 3 A 的瞬态电流情况下, 功率驱动电路对掩膜 CCD 帧频提高的影响可以忽略, CCD 自身的容性负载与等效串联电阻是决定最高帧频率的决定因素。如果要获得更高的帧频效果, 需要选择 RC 时间常数小的 CCD 器件并提高功率驱动电路的带负载能力, 对于大面阵的 CCD 器件, 它的理论帧频可以达到百万帧每秒的量级。

5 驱动时序设计与实验

采用 CPLD 器件作为逻辑时序产生控制器, 利用 VHDL 编程语言设计逻辑控制时序^[9-12]。采用分级式的结构设计了面阵 CCD 的驱动时序, 时序分为像素时序、行时序、帧时序几个部分, 对时序各部分进行模块化设计。其中像素时序、行时序设计为基本时序, 通过不同的配置与组合, 可以输出不同功能的 CCD 驱动时序。在 CPLD 内部集成设计了正常驱动时序和掩膜驱动时序, 通过 USB 接口进行设置, 可以在不改变硬件的情况下进行驱动时序的切换和曝光方式的调节, 编写的 CCD 正常驱动时序与掩膜驱动时序仿真结果如图 4 所示。两种时序的不同之处在于曝光过程的控制, 存储区的帧转移与图像输出时序是相同的。图中的掩膜时序在曝光过程中包含有 24 个超高速帧过程时序, 可以采集到 24 幅快速过程的图像数据, 对应着具有 24 个存储行的掩膜结构。不同存储行的掩膜时序可以通过 USB 设置, 无需硬件改动和重新编程。掩膜驱动时序采用同步触发方式启动, 触发延迟为 20 ns, 可对瞬态物理过程进行同步捕捉, 获得特定时刻的图像数据。

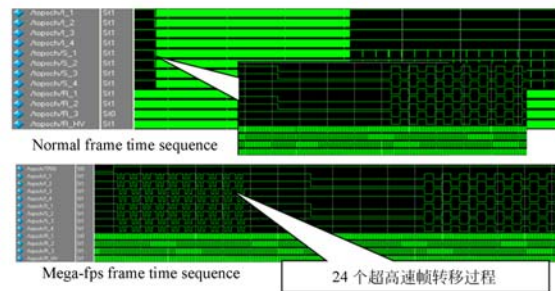


图 4 正常驱动时序与掩膜驱动时序波形

Fig. 4 Waveforms of normal CCD time sequence and masked CCD sequence

把脉冲氙灯的发光区域作为快速变化过程, 利用掩膜后的 CCD 相机记录, 用来测试掩膜成像系统的时间分辨能力。采用光电管监测显示, 脉冲氙灯发光时间的半高宽为 3 μ s, 总时间约为 8 μ s, 触发信号与光电管的监测波形如图 5 所示。利用正常时序采集图像来定位氙灯位置和对焦, 利用掩膜驱动时序与光触发信号进行同步获得超快过程图像, 获得了氙灯位置与发光过程的掩膜图像, 如图 6 所示。掩膜 CCD 的转移时钟周期为

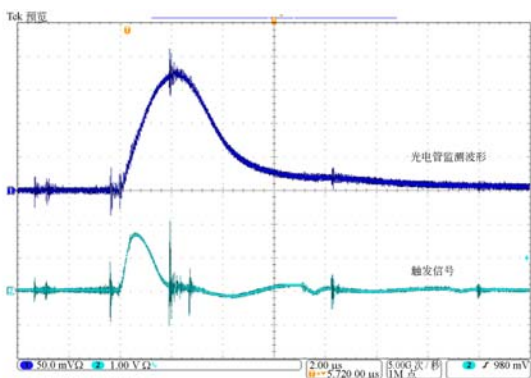
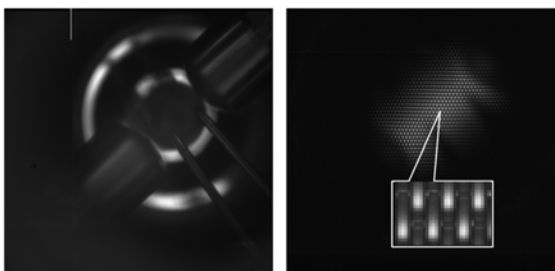
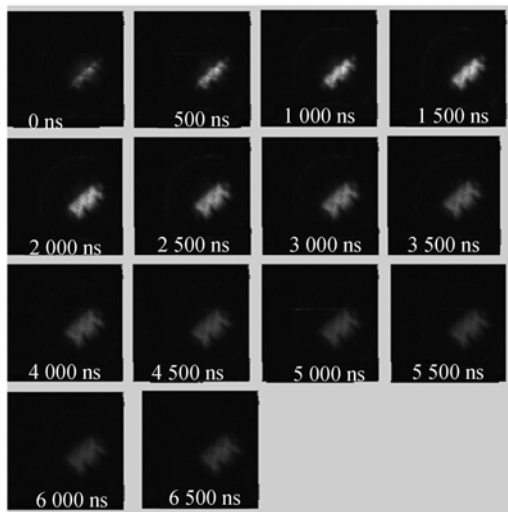


图 5 脉冲氙灯发光光电管监测波形(1)与触发信号波形(2)

Fig. 5 Xenon lamp light emitting waveform captured by phototube (channel 1) and trigger signal (channel 2)



(a) 脉冲氙灯位置图 (b) 掩膜 CCD 获取的发光过程图
(a) Position of xenon lamp (b) Light emitting of xenon lamp captured with masked CCD



(c) 经过复原得到的序列图像
(c) Serial restored images

图 6 脉冲氙灯发光区域变化过程

Fig. 6 Process of xenon lamp light emitting area

500 ns,以发光起始点为时间“0”点,恢复出了 14 幅发光过程图像(图 6(c)),记录时间长度为 7 μ s。图像展示了氙灯光源由弱到强直至余辉逐渐消失的过程,对应帧频率为 200 万帧每秒,分辨率为 79 pixel \times 79 pixel。

由于掩膜的影响,系统的灵敏度与动态范围有所降低。造成这一结果的最主要原因是掩膜孔会造成填充因子(Fullfill Factor, FF)的下降,从而降低 CCD 的量子效率 Q_E ,也就降低了灵敏度。此外,本文采用的金属掩膜材料的厚度有限,具有一定的透光率($<1\%$),透过的光线属于噪声,从而增加了掩膜后 CCD 的噪声,使动态范围下降。掩膜后的百万帧每秒成像系统样机与未掩膜的 CCD 相机的主要技术参数如表 1 所示。下一步拟尝试采用透光率更低的掩膜材料降低噪声,并使用微透镜阵列提高光线收集效率和灵敏度,进而提升掩膜 CCD 的综合性能。

表 1 掩膜 CCD 与未掩膜 CCD 的主要参数

Tab. 1 Key parameters of masked and normal CCDs

	掩膜 CCD	未掩膜 CCD
分辨率/pixel	79 \times 79	1024 \times 1024
动态范围/dB	49	72
帧频率/(frame \cdot s $^{-1}$)	200 万	8
存储画幅数	不小于 10	大于 1

6 结 论

本文采用掩膜方式使 CCD 达到超高帧频,分析了掩膜后 CCD 的工作过程,提出了掩膜 CCD 的驱动时序设计方法。通过更改光敏区的驱动时序完成了超高帧频图像的曝光与片上存储,而后的时序与正常时序一致。从理论上分析了掩膜 CCD 可能达到的最高帧频,最高帧频主要取决于 CCD 的驱动时钟的 RC 常数。采用 CPLD 器件作为驱动时序的发生器,在不改动硬件的基础上实现了 CCD 正常时序与掩膜时序的互换工作。基于普通 CCD 芯片实现了 200 万帧每秒的超高帧频工作速度,获得了 14 幅 79 pixel \times 79 pixel 的图像。该技术具有一定的通用性。

参考文献:

- [1] LI J Z. Time amplifying techniques towards atomic time resolution[J]. *Sci. China Ser. E-Tech. Sci.*, 2009, 52(12): 3425-3446.
- [2] 柳森, 谢爱民, 黄洁, 等. 超高速碰撞碎片云的四序列激光阴影照相[J]. *实验流体力学*, 2010, 24(1):1-5. LIU S, XIE A M, HUANG J, *et al.*. Four sequences laser shadow graph for the visualization of hypervelocity impact debris cloud[J]. *Journal of Experiments in Fluid Mechanics*, 2010, 24(1):1-5. (in Chinese)
- [3] BOYLE W S, SMITH G E. Charge coupled semiconductor devices[J]. *The Bell System Technical Journal*, 1970(4): 587-593.
- [4] DJITE I, ESTRIBEAU M, MAGNAN P, *et al.*. Theoretical models of modulation transfer function, quantum efficiency, and crosstalk for CCD and CMOS image sensors[J]. *IEEE Transactions on Electron Devices*, 2012, 59(3): 729-737.
- [5] ZHANG H, MORITA S, OISHI T, *et al.*. Performance improvement of two-dimensional EUV spectroscopy based on high-frame-rate CCD and signal normalization method in large helical device[J]. *Japanese Journal of Applied Physics*, 2015, 54(8).
- [6] 王庆有. 图像传感器应用技术[M]. 北京: 电子工业出版社, 2013. WANG Q Y. *Application Technology of Image Sensor*[M]. Beijing: Publishing House of Electronics Industry, 2013. (in Chinese)
- [7] 白廷柱, 金伟其. 光电成像原理与技术[M]. 北京: 北京理工大学出版社, 2006. BAI T ZH, JING W Q. *Principle and Technology of Photoelectric Imaging*[M]. Beijing: Beijing Institute of Technology Press, 2006 (in Chinese)
- [8] ANDERSON B L, ANDERSON R L. 半导体器件基础[M]. 郑宁, 田立林, 任敏, 译. 北京: 清华大学出版社, 2008. ANDERSON B L, ANDERSON R L. *Fundamentals of Semiconductor Device*[M]. ZHENG N, TIAN L L, REN M, Transl. Beijing: Tsinghua University Press, 2008. (in Chinese)
- [9] 潘松, 黄继业. EDA 技术与 VHDL(第 4 版)[M]. 北京: 清华大学出版社, 2013. PAN S, HUANG J Y. *EDA Technology and VHDL*[M]. Beijing: Tsinghua University Press, 2013. (in Chinese)
- [10] 朱兵, 曾延安, 张南洋. 基于 CPLD 硬件提升帧率的图像采集系统[J]. *仪表技术与传感器*, 2015(6): 53-55. ZHU B, ZENG Y A, ZHANG NAN Y S, *et al.*. Image acquisition system based on CPLD hardware improving frame rate[J]. *Instrument Technique and Sensor*, 2015(6): 53-55. (in Chinese)
- [11] 刘慧, 刘学斌, 陈小来, 等. 基于驱动时序控制 CCD 曝光时间的设计与实现[J]. *红外与激光工程*, 2015, 44(S1): 199-204. LIU H, LIU X B, CHEN X L, *et al.*. Design and implementation of CCD exposure time control based on driver timing[J]. *Infrared and Laser Engineering*, 2015, 44(S1): 199-204. (in Chinese)
- [12] 孙茂多, 董全林, 赵伟霞, 等. 基于 CPLD 的面阵 CCD 驱动电路设计[J]. *现代电子技术*, 2014, 37(23): 142-145. SUN M D, DONG Q L, ZHAO W X, *et al.*. Design of array CCD driving circuit based on CPLD[J]. *Modern Electronics Technique*, 2014, 37(23): 142-145. (in Chinese)

作者简介:



杨少华(1981—),男,安徽阜阳人,博士,高级工程师,2014年于西北核技术研究所获得博士学位,主要从事高速成像系统研制、特种成像系统研制和高速数据采集方面的工作。E-mail: yang-shaohua@nint.ac.cn



李斌康(1966—),男,陕西岐山人,博士,研究员,博士生导师,2010年于西北核技术研究所获得博士学位,主要从事脉冲射线测量、图像诊断、高速成像系统的研制工作。E-mail: libingkang@nint.ac.cn