

文章编号 1004-924X(2018)06-1450-12

## MEMS 中基底和薄膜的 CMP 制造技术

曾毅波<sup>1\*</sup>, 张杰<sup>1</sup>, 许马会<sup>1,2</sup>, 郝锐<sup>1</sup>, 沈杰男<sup>1,3</sup>, 周辉<sup>1,3</sup>, 郭航<sup>1\*</sup>

(1. 厦门大学 萨本栋微米纳米科学技术研究院, 福建 厦门 361005;

2. 厦门大学 航空航天学院, 福建 厦门 361005; 3. 厦门大学 物理科学与技术学院, 福建 厦门 361005)

**摘要:** 化学机械抛光 (Chemical & Mechanical Polishing, CMP) 工艺已运用于微机电系统 (Micro-Electro-Mechanical System, MEMS) 中, 并逐渐成为研制高品质微纳器件不可或缺的一道关键技术。区域压力调整、抛光终点检测等技术已经引入到 CMP 工艺, 确保片内不均匀性 (Within-wafer Nonuniformity, WIWNU) 小于 5%, 同时有效减小“蝶形”和“腐蚀”等抛光缺陷。CMP 在 MEMS 领域中的运用工艺过程更为复杂, 抛光对象更为多元, 表面质量要求更高。结合硅、介质层、石英、锗、铂和聚合物等自行开发的 CMP 工艺以及抛光后清洗处理, 详细讨论和阐述 CMP 工艺如何运用于 MEMS 领域。实验结果表明, 采用 CMP 工艺, 结合抛光液改进和兆声清洗, 不仅可以实现薄膜的全局平坦化, 而且可以获得高品质的超薄基底、无损的硬质应变薄膜和用于低温直接键合的表面粗糙度小于 0.5 nm 键合表面。CMP 技术是研制高品质的可应用于 MEMS 器件的基底和薄膜的有效手段。

**关键词:** 化学机械抛光; 微机电系统; 区域压力调整; 终点检测; 表面粗糙度

**中图分类号:** TG175 **文献标识码:** A **doi:** 10.3788/OPE.20182606.1450

## Fabrication of substrate and film in MEMS using CMP

ZENG Yi-bo<sup>1\*</sup>, ZHANG Jie<sup>1</sup>, XU Ma-hui<sup>1,2</sup>, HAO Rui<sup>1</sup>,  
SHEN Jie-nan<sup>1,3</sup>, ZHOU hui<sup>1,3</sup>, GUO Hang<sup>1\*</sup>

(1. *Pen-Tung Sah Institute of Micro-Nano Science and Technology,*  
*Xiamen University, Xiamen 361005, China;*

2. *School of Aerospace Engineering, Xiamen University, Xiamen 361005, China;*

3. *School of Physical Science and Technology, Xiamen University, Xiamen 361005, China)*

\* *Corresponding author, E-mail: zyb2005@xmu.edu.cn; hangguo@xmu.edu.cn*

**Abstract:** The chemical and mechanical polishing (CMP) process has already been applied to micro-electro-mechanical systems (MEMSs), and it has become an indispensable and key technology for developing high-quality micro- and nano-devices. The introduction of zonal backing pressure and end point detection during the CMP process can not only guarantee a within-wafer nonuniformity of less than 5%, but it can also effectively minimize polish defects, including dishing and erosion. The application of CMP to MEMS is more challenging in terms of complexity, target selection, and surface quality, compared to its application to semiconductors. Together with the self-developed CMP process for silicon, dielectric layers, quartz, germanium, platinum, and polymers, the application of CMP

收稿日期: 2017-11-16; 修订日期: 2018-01-03.

基金项目: 福建省高校产学研合作项目资助项目 (No. 2015H6021)

technology in the MEMS field is discussed and elaborated in detail. The experimental results show that when the CMP process is combined with slurry improvement and megasonic cleaning methods, global film planarization is observed; moreover, a high-quality ultra-thin substrate, a hard free-damage strain film, and a bonding surface with a surface roughness of less than 0.5 nm for low-temperature direct bonding are obtained. CMP technology allows for the effective fabrication of a high-quality substrate and film for MEMS devices.

**Key words:** Chemical & Mechanical Polishing(CMP); MEMS; adjustment of zone backing pressure; end point detection; surface roughness

## 1 引言

CMP(Chemical & Mechanical Polishing)与光刻、镀膜及刻蚀共同组成半导体四大基础工艺。CMP技术起步于20世纪80年代,最早由美国IBM公司提出<sup>[1]</sup>。在尖端的半导体科技中,CMP已经成为必不可少的关键工艺,尤其是半导体器件多层布线后,为将器件工艺中表面微细凹凸消除以实现全局平坦化应用上,CMP是目前最直接且最为有效的平坦化方法<sup>[2-6]</sup>。正是由于CMP技术的存在和发展,最终实现了半导体器件中的二维构造的电路向高密度、高集成化和高性能超大规模的集成电路的三维架构的转变。MEMS是在上世纪70年代基于半导体工艺而发展起来的。CMP工艺则是在20世纪90年代中后期逐渐运用于MEMS器件的研制中。虽然运用普及率尚不及在半导体器件研制来得广泛,但也已经成为部分高品质的MEMS器件,如高温压力传感器、要求漏率小的微陀螺仪,类似“三明治”式封装结构的微加速度计研制中不可或缺的关键工艺。有别于CMP工艺在半导体器件中的运用,在MEMS器件研制中,CMP工艺抛光对象更为多元,抛光工艺步骤相对更为复杂,在技术指标方面,不仅要求具有良好的抛光均匀性,同时往往要求抛光后表面粗糙度需达到亚纳米量级。因此,CMP工艺运用于MEMS器件研制中,其相关工艺难度要明显高于其运用半导体器件研制中。虽然CMP工艺对于MEMS领域研究越来越为重要,但目前仍旧缺少CMP工艺运用于MEMS器件研制的系统性的报告。

厦门大学萨本栋微米纳米科学技术研究院自2007年引进POLI-400 M型化学机械抛光机,主要致力于CMP在MEMS领域中的应用与研究。

在硅(Si)和介质层抛光,已经确定了成熟稳定的CMP工艺。同时开发了锗(Ge)、碳化硅(SiC)、石英、铂(Pt)等功能材料和以聚酰亚胺(Polyimide,PI)为代表的聚合物的CMP工艺。基于上述的研究成果,重点论述如何把CMP工艺运用于MEMS器件所选用的基底或者薄膜的加工中,以突出说明CMP工艺对于MEMS器件研发的重要性。

## 2 CMP简介

### 2.1 CMP原理

CMP是基于磨损中的“软磨硬”原理,即用较软的材料抛光表面已经软化的较硬材料<sup>[7]</sup>。使用的抛光液大多为碱性,对被抛光衬底具有一定的化学腐蚀作用。化学反应改变了衬底表面原子或分子间的键能,使其变成弱键合原子或分子,一旦机械作用传递的能量足以断裂弱键合分子所需的能量,结果表现为衬底表面凸起部分在原子或分子尺度上发生材料去除<sup>[8]</sup>。因此,CMP加工表面的粗糙度最小,且不会产生次表面损伤层。图1是CMP的工作过程。夹具夹持硅片,所施加的抛光压力使得硅片与抛光垫接触,同时抛光头带动硅片旋转。抛光盘旋转使得抛光液均布于抛光垫上。抛光液腐蚀硅表面并使之软化,通过抛光头与抛光盘的旋转,以及抛光液中抛光颗粒的机械磨擦作用,去除软化层,从而获得超光滑的硅片表面。

### 2.2 新技术在CMP中应用

#### 2.2.1 区域压力调整

CMP设备采用去离子水粘贴把硅片固定在抛光夹具中。在抛光过程中,由于抛光剪切力作用,硅片在夹具内会产生缓慢的旋转,致使在径向上各点线速度并不一致,逐渐远离硅片中心的线

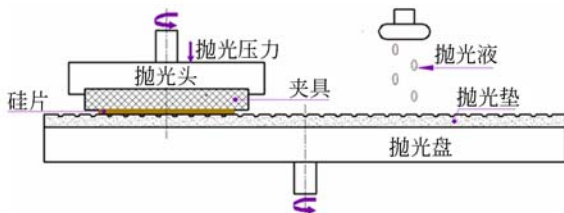


图 1 CMP 的工作过程  
Fig. 1 Operating process of CMP

速度越快。另外,抛光时,抛光液从硅片外缘输送到硅片中心,致使硅片外缘的化学腐蚀程度要高于硅片中心。上述两个因素导致,CMP 后的硅片呈现“碗状”,即边缘抛光快,中心抛光慢。

引入区域压力调整技术,能够有效解决硅片边缘抛光快,中心抛光慢的问题,其基本方法是在支撑硅片的夹具背面的不同区域采用不同的压力,加大对去除量小的区域的压力,来获得面型更加一致的硅片<sup>[9]</sup>。图 2 所示,传统的 CMP 技术,只有一个来自于气缸通过夹具作用于硅片上的抛光压力  $P_c$ ,而区域压力调整技术是除了所施加的压力  $P_c$  之外,在夹具中开设气道,通过气道额外直接对硅片施加区域压力  $P_z$ ,以提高材料中心区域的去除率。以抛光 4 $\mu$ m 热生长氧化硅(SiO<sub>2</sub>)薄膜为例,抛光头和抛光盘转速分别为 93 r/m 和 87 r/m。如图 3 所示,采用区域压力调整技术,其抛光均匀性有明显提升,其 WIWNU 一般小于 3.5%,尤其是当  $P_z$  为 500g·cm<sup>-2</sup>,  $P_c$  为 400g·cm<sup>-2</sup>,其 WIWNU 仅为 1.53%。相关实验表明区域压力调整技术不仅可以修正由于压力分布不均匀造成的误差,而且可以补偿由于抛光时中心区域抛光液缺乏造成的材料去除率不均匀,从而提高抛光后材料的表面平整度。

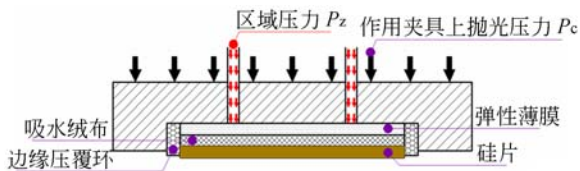


图 2 区域压力调整  
Fig. 2 Zone backing pressure adjustment

2.2.2 抛光终点检测

抛光终点检测技术提出主要为了解决在半导体器件研制所采用大马士革工艺中,铜(Cu)电极层的“过抛”或者“欠抛”的问题,避免过度出现

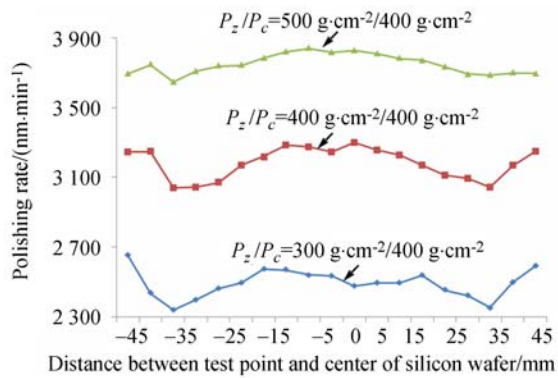
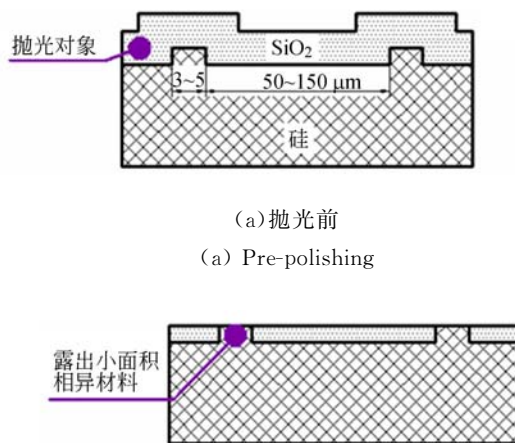


图 3 采用区域压力调整技术进行 SiO<sub>2</sub> 薄膜抛光  
Fig. 3 Polishing of SiO<sub>2</sub> film with zone backing pressure adjustment

“蝶形”和“腐蚀”等严重缺陷<sup>[10-11]</sup>。目前该技术已经运用 Si, 介质层等材料的抛光。

抛光终点检测技术分为基于时间的终点检测和在线终点检测。基于时间的终点检测主要是通过抛光速率确定抛光结束的时间。由于抛光过程中,抛光垫的结构状态以及表面温度一直处于变化中,所以每片次实际材料去除速率会略有差异,无法精确判定每片次材料去除的时间。虽然存在着上述缺陷,但仍旧适用于其抛光材料去除后,所露出的相异材料面积特别小的场合,如图 4 所示。在类似场合下,在线终点检测系统是无法快速辨别已露出的小面积相异材料,故仍旧需要借助基于时间的终点检测技术来判定抛光截止。



(a) 抛光前  
(a) Pre-polishing  
(b) 抛光后,小面积 Si 表面与大面积的 SiO<sub>2</sub> 表面持平  
(b) Si surface of small area was even with SiO<sub>2</sub> surface of large area after polishing

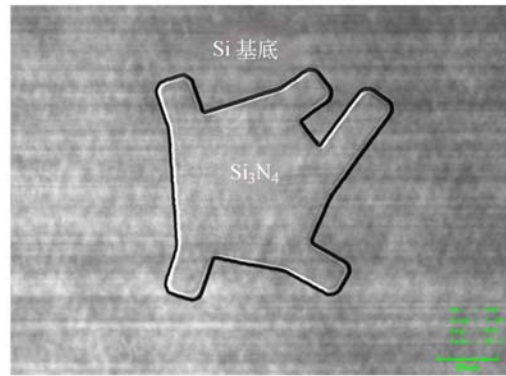
图 4 基于时间的抛光终点检测  
Fig. 4 End point detection based on time

与基于时间的终点检测方法相比,在线终点检测方法可以消除材料去除率的变化对终点检测的影响,而且有利于实现过程的自动化,是抛光终点检测技术的发展方向<sup>[12-14]</sup>。在线终点检测是基



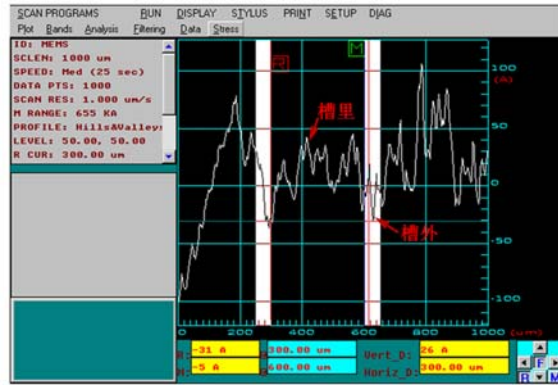
(a) 带有微槽的基底上沉积 Si<sub>3</sub>N<sub>4</sub> 薄膜

(a) Si<sub>3</sub>N<sub>4</sub> film was deposited on the substrate with micro groove



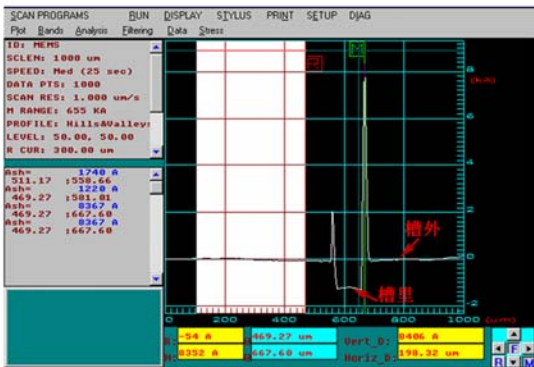
(d) 抛光后表面形貌

(d) Polished surface morphology



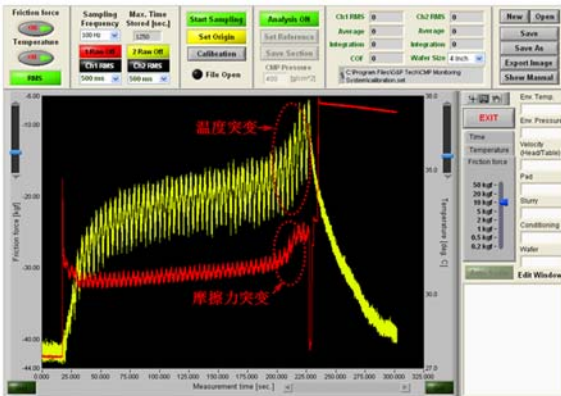
(e) 抛光后形貌高度差小于 20 nm

(e) Height difference of polished morphology was less than 20 nm



(b) 抛光前形貌高度约为 1 μm

(b) Height of pre-polished morphology with about 1 μm



(c) 在线终点检测

(c) On-line detection of end point

图 5 在线终点检测用于 Si<sub>3</sub>N<sub>4</sub> 薄膜抛光中  
Fig. 5 On-line detection of end point was used for Si<sub>3</sub>N<sub>4</sub> film polishing

于 CMP 过程中某些信号变化来判定抛光终点,最为常用的方法包括摩擦和抛光垫温度变化两种检测方法。摩擦方法是基于抛光材料发生变化时抛光表面与抛光垫之间的摩擦系数亦随之发生变化。抛光垫温度变化方法采用红外温度传感器或热像仪对抛光垫表面温度进行测量。如图 5,采用在线终点检测氮化硅(Si<sub>3</sub>N<sub>4</sub>)薄膜实时抛光状态。抛光前,在已刻蚀槽的 Si 基底上先沉积一层 Si<sub>3</sub>N<sub>4</sub> 薄膜,如图 5(a) 所示,其槽里槽外表面高低起伏约为 1 μm,如图 5(b) 所示。在 CMP 过程中,采用区域压力调整确保抛光的均匀性。采用在线抛光终点检测,通过摩擦力和温度突变,实时判定槽外 Si<sub>3</sub>N<sub>4</sub> 薄膜已去除,如图 5(c) 所示。抛光后表面状态如图 5(d) 所示,且槽里槽外表面高

低起伏已经小于 20 nm,如图 5(e) 所示。区域压力调整技术和在线抛光终点检测技术引入到 CMP 工艺中,不仅确保 WIWNU 小于 5%,而且减小抛光缺陷,如“蝶形”和“腐蚀”小于 50 nm。目前绝大多数的 CMP 设备已融合上述两种技术。

### 3 CMP 在半导体器件研发和 MEMS 器件研制应用中的区别

在半导体工艺中,CMP 主要运用以  $\text{SiO}_2$  为主要抛光对象浅隔离槽的前端工艺,和 Cu 为主要抛光对象的大马士革后端工艺,从而实现半导体器件中三维导线的互连。CMP 技术始终贯穿于半导体器件研制过程中。

而在 MEMS 器件研制中,CMP 作为单步关键工艺而存在。其应用与在半导体器件研发中的应用存在着明显区别。提高薄膜表面质量,从而获得无损的,表面粗糙度低的表面,是其主要运用方向,如 CMP 是实现硅片低温键合的重要手段。硅片预键合后需要通过退火来提高键合质量和键合面积。退火温度超过  $900\text{ }^\circ\text{C}$ ,能够有效消除键合面之间所存在的空洞,从而提高键合强度。但是高温退火,不仅会降低器件的寿命,而且由于不同薄膜材料热膨胀系数不一致,极易导致因热匹配失当造成器件内部形成较大的残余应力。另外,对于绝大部分金属而言,高温键合温度超过  $700\text{ }^\circ\text{C}$ ,已经超过金属本身的熔点。低温键合(键合温度  $350\sim 400\text{ }^\circ\text{C}$ )可有效解决上述问题。但低温键合对于硅片表面薄膜要求极高,其表面粗糙度均方根(Root Mean Square,RMS)值要求小于 0.5 nm。键合表面粗糙度达到亚纳米量级,则在预键合过程中,会由于硅片的弹性变形,使两片键合片完全结合在一起,界面间不存在空洞。CMP 是获得超光滑键合表面的最为有效手段,从而确保低温键合能够顺利实施。如图 6,类似压电微加速度计采用键合工艺进行最后封装(先直接键合后阳极键合)。必须借助 CMP 工艺,对沉积的  $\text{SiO}_2$  凹凸表面进行抛光,不仅实现  $\text{SiO}_2$  表面的全局平坦化,而且获得亚纳米量级的键合表面,以实现器件的低温直接键合。

CMP 技术除了应用于超光滑表面的加工之

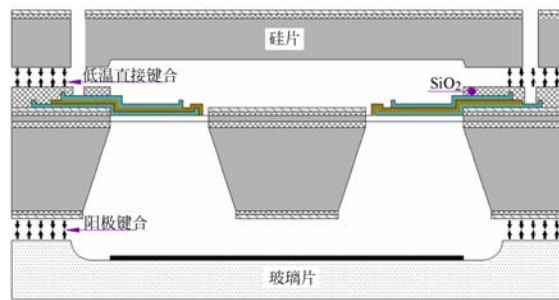


图 6 压电微加速度计低温直接键合

Fig. 6 Low temperature direct bonding available for micro piezoelectric accelerometer

外,同时还应用于 Si、SiC、石英、Ge 等基底减薄工艺中。基底经过研磨或者腐蚀减薄之后,表面会留下划痕、凹坑、橘皮等缺陷,借助 CMP 技术可去除上述缺陷,去除厚度一般为  $5\sim 20\text{ }\mu\text{m}$ 。表 1 对 CMP 在半导体器件研发和 MEMS 领域中应用和相关技术参数进行了比较和说明。在半导体器件研发中,CMP 的对象以多晶硅、介质层和 Cu 为主,抛光对象相对单一,但对于抛光后表面颗粒和洁净度管控极为严格,有别于其在半导体器件研发中的运用,CMP 运用于 MEMS 领域,其工艺

表 1 CMP 在半导体工艺和 MEMS 领域中应用的区别

Tab. 1 Difference of CMP Application in semiconductor production processes and MEMS field

应用/参数	半导体器件	MEMS 领域
基底	Si、III-V	Si、III-V、SiC、 $\text{Al}_2\text{O}_3$ 、 玻璃、石英 基底:Si、SiC、 $\text{Al}_2\text{O}_3$ 、 玻璃、石英;介质层: $\text{SiO}_2$ 、
抛光对象	Si、 $\text{SiO}_2$ 、多晶 硅、Wu、Cu	$\text{Si}_3\text{N}_4$ 、磷硅玻璃;功能材 料:多晶硅、Ge;惰性金属: Au、Pt;聚合物:PI、 光刻胶
去除厚度/ $\mu\text{m}$	0.2~2	0.2~20
抛光前表面起伏/ $\mu\text{m}$	最大 1.5	最大 10
线宽/ $\mu\text{m}$	<0.25	>1
抛光速率/ $(\mu\text{m}\cdot\text{min}^{-1})$	0.2~0.5	0.2~1
WIWNU/%	<5	<5(键合表面:<3)
RMS/nm	1~5	0.3~5(键合表面: RMS<0.5)
抛光后缺陷/nm	“蝶形”<50 “腐蚀”<50	“蝶形”<50 “腐蚀”<50
抛光后颗粒尺寸/nm	<50	相对宽松
抛光后颗粒密度/ $\text{cm}^2$	<1	相对宽松

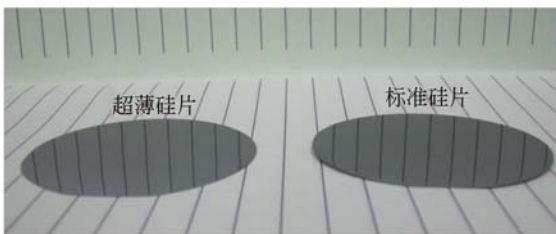
过程更为复杂,往往需要采用“两步抛”工艺;抛光对象更为多元,涉及到硬质基底、聚合物和惰性金属等材料;而且表面质量要求更高,尤其是需要获得超光滑表面以实现硅片之间的低温直接键合。

## 4 CMP 在 MEMS 领域中的应用

### 4.1 Si 抛光

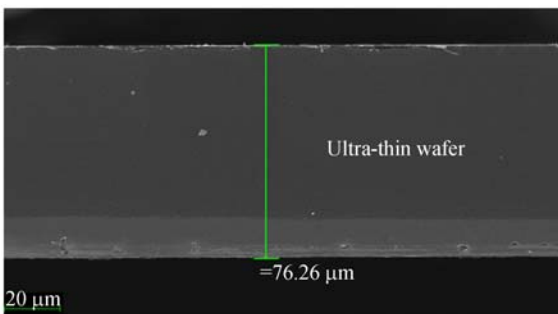
在 MEMS 领域中, Si 既可以作为支撑基底,也可作为应变薄膜,其 CMP 工艺相对成熟,常用“两步抛”获得高品质的硅表面。一般粗抛选用聚氨酯 Suba600 作为抛光垫, NaClO<sub>2</sub> 2398 或者 COMPOL 80 作为抛光液;精抛选用无纺布 Polite™ 或者是 SPM3100 作为抛光垫, NP8040(与水 1:40 稀释)作为抛光液。

采用各向异性湿法腐蚀, 薄硅片临时黏合和上述“两步抛”工艺, 可以制备高品质的无破损, 无变形、低应力的超薄硅片, 如图 7(a) 所示。其硅片厚度为  $76 \pm 2 \mu\text{m}$ , 如图 7(b) 所示; 表面粗糙度为 0.32 nm, 如图 7(c) 所示; 通过拉曼光谱仪测试超薄硅片的内应力, 其波峰偏移值为  $0.24 \text{ cm}^{-1}$ , 对应压应力仅为  $104.4 \text{ MPa}^{[15]}$ 。



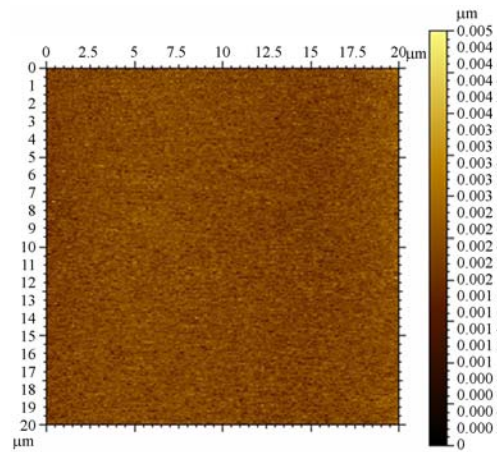
(a) 没有明显翘曲和破裂的超薄硅片

(a) Ultra-thin wafer with no obvious warp and no breakage



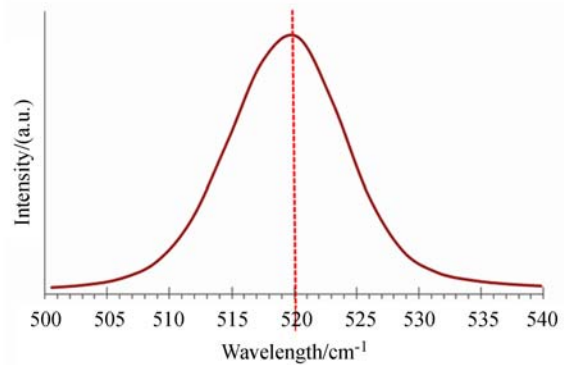
(b) 采用 SEM 测量超薄硅片的厚度为  $76 \pm 2 \mu\text{m}$

(b) Overall thickness of ultra-thin wafer measured by SEM with  $76 \pm 2 \mu\text{m}$



(c) 超薄硅片的表面粗糙度为 0.32 nm

(c) Surface roughness of ultra-thin wafer with 0.32 nm



(d) 在超薄硅片上, 采用拉曼光谱仪表征, 其波峰偏移值为  $0.24 \text{ cm}^{-1}$

(d) A peak shift of phase wavelength characterized by Raman spectroscopy with  $0.24 \text{ cm}^{-1}$  on the Ultra-thin wafer

图 7 超薄硅片的测量

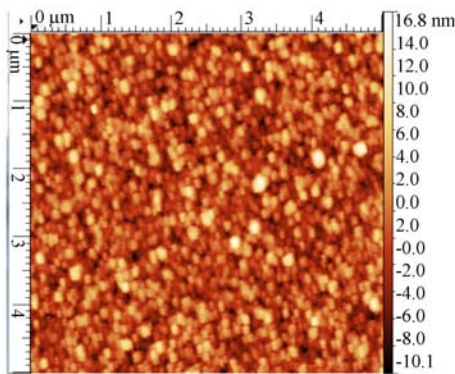
Fig. 7 Test of ultra-thin wafer

### 4.2 介质层抛光

在 MEMS 领域, 介质层以  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、磷硅玻璃为主, 以作为器件的绝缘层、钝化膜, 乃至牺牲层使用。在上述绝缘层上再保留一层 Si、Ge、SiGe、SiC 等薄膜的衬底结构, 在高温传感器、军事抗辐照器件、光电子微传感器等领域具有极其广阔的应用前景。采用低温直接键合, 既把介质层作为绝缘层, 同时又作为键合过渡层使用, 是研制上述衬底结构的常用方法。所谓低温直接键合是将两片硅片在一定压力下先行预键合, 最后在  $350 \sim 450 \text{ }^\circ\text{C}$  的温度下进行退火。低温直接键合的退火温度远低于绝大部分金属的熔点, 同时能

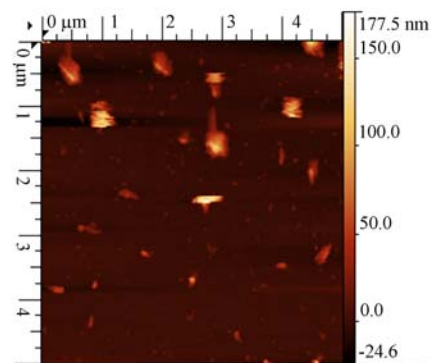
够有效避免由于热匹配失当而导致较大的热应力,并避免发生一些不期望的化学反应,以防器件出现缺陷和污染。

表面粗糙度是决定低温直接键合质量的关键因素。当键合面的表面粗糙度小于 0.5 nm 时,预键合时,硅片甚至不需要过大外力,既可以通过氢(H)键和范德华力自发键合,键合面积随之自发扩散到整体硅片。然而,通过化学气相沉积生长的介质层薄膜的粗糙度往往为数纳米量级,以 PECVD 生长的 SiO<sub>2</sub> 薄膜为例,其表面粗糙度为 3.5 nm,如图 8(a) 所示,是无法满足硅片表面低温直接键合要求。CMP 之后,RMS 降低到 0.64 nm,虽然经过了 RCA 清洗,但抛光薄膜表面仍旧粘附少量的抛光颗粒,如图 8(b) 所示。通过兆声清洗,抛光颗粒从抛光表面剥离,其 RMS 为 0.32 nm,如图 8(c) 所示。预键合时,只需要添加 200 N 左右的键合压力,硅片即可实现贴合,而后在 400 °C,氮气中退火 2 h,红外成像判定键合面无空洞,两硅片之间紧密贴合,如图 8(d) 所示。



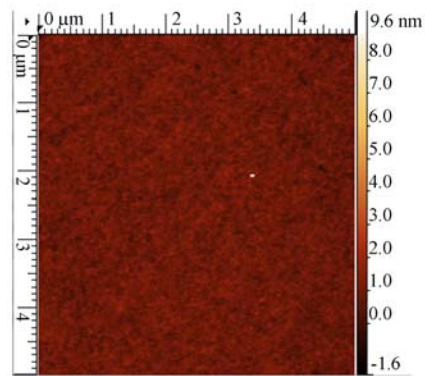
(a) PECVD 生长的 SiO<sub>2</sub> 薄膜表面形貌

(a) Morphology of SiO<sub>2</sub> film grown by PECVD



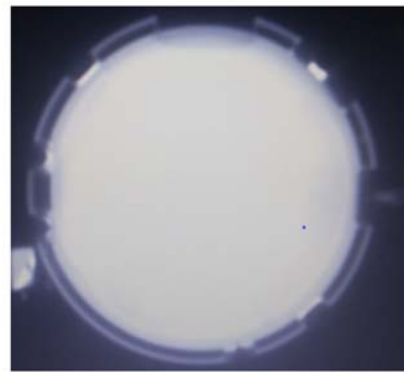
(b) CMP 和 RCA 清洗后的 SiO<sub>2</sub> 薄膜表面形貌

(b) Morphology of SiO<sub>2</sub> film fabricated by CMP and RCA cleaning



(c) 兆声清洗后的 SiO<sub>2</sub> 薄膜表面形貌

(c) Morphology of SiO<sub>2</sub> film cleaned by mega sonic



(d) 红外成像表征直接键合表面

(d) Direct bonding surface characterized by infrared imaging

图 8 基于 CMP 的低温直接键合

Fig. 8 Low temperature direct bonding based on CMP

由于硅片预键合时,靠的是界面处羟基(-OH)基团的桥接而粘附在一起的。界面通过两个-OH 连接,形成 SiOH-OHSi 键。而后在退火处理时,聚合脱水转变为硅氧键(Si-O-Si)是硅片直接键合主要机理。预键合时,通过 H 键链接的-OH 基团,其氧原子之间的距离为 0.276 nm,一般 H 键连接的-OH 基团不能超过 2~3 个,否则其分子链将断裂。故通过 H 键连接-OH 基团的距离不能超过 0.828 nm。所以在一般情况下,表面粗糙度为 0.5 nm 被认为是硅片能够自发键合的阈值<sup>[16]</sup>。在未采用 CMP 工艺之前,等离子活化键合表面,使之悬挂更多的-OH 基团以提高键合面表面能,是实现硅片低温直接键合主要方法。通过活化,键合面的粗糙度可以放宽至 2 nm,但是等离子活化会导致键合表面由于受到蚀刻而产生缺陷,是通过牺牲键合界面质量

来降低直接键合温度。如果键合面的粗糙度达到数纳米量级以上,等离子活化也是无法实行低温直接键合。比较而言,CMP工艺能够获得超光滑而且无损的键合表面,因此是目前低温直接键合最为常用表面处理技术。

### 4.3 功能材料抛光

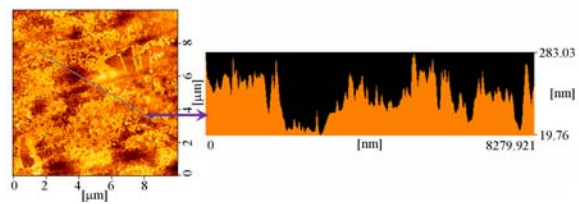
#### 4.3.1 硬质基底

当环境温度超过 $150\text{ }^{\circ}\text{C}$ 时,硅基MEMS器件内部PN结性能开始改变;在超过 $600\text{ }^{\circ}\text{C}$ 时,硅基微机械结构的杨氏模量会显著降低。因此硅基MEMS器件已难以满足恶劣运行环境的巨大挑战。为适应多湿、高温、腐蚀等恶劣的工作环境,相继研发了石英、SiC为基底的非硅MEMS器件。与硅基MEMS器件相比,上述非硅MEMS器件能够适应更宽的工作温度范围,在温度特性上具有更高精度。对于石英、SiC等硬质基底先研磨而后CMP,是获得上述非硅应变薄膜的主要方法。以石英薄膜制备为例,基底研磨后,表面粗糙度为 $83.2\text{ nm}$ ,如图9(a)所示。研磨后采用CMP对表面进行修整,耗材选用IC1000复合型抛光垫和Klebosol 1501-50碱性抛光液<sup>[17]</sup>。

研磨后的石英表面划痕多且深,如果只是纯粹采用Klebosol 1501-50抛光液进行抛光,由于其非定性 $\text{SiO}_2$ 抛光颗粒硬度小于石英晶体,因此无法快速有效去除研磨后残留在表面深刻痕。搭配采用粒径为 $0.3\text{ }\mu\text{m}$ 金刚石颗粒的研磨液,能有效去除石英表面研磨所余留的深刻痕,而Klebosol 1501-50抛光液主要用于去除石英表面微划痕。因此,石英的CMP过程中,采用粗抛和精抛相结合的“两步抛”的工艺。首先选用的 $0.3\text{ }\mu\text{m}$ 金刚石颗粒研磨液与Klebosol 1501-50抛光液进行搭配,配比由高至低,逐次进行粗抛,在有效去除石英表面深的划痕的同时,防止产生新的表面缺陷。后采用完全纯的Klebosol 1501-50抛光液进行精细抛光。图9(b)和图9(c)是石英粗抛和精抛后的表面状态。粗抛后石英表面仍旧有微划痕,但相较于研磨后的表面状态,其表面粗糙度已经有了明显的改善,其RMS为 $7.8\text{ nm}$ 。通过精抛,可以获得高品质的石英薄膜,其RMS为 $0.89\text{ nm}$ 。上述CMP工艺也可运用于SiC、 $\text{Al}_2\text{O}_3$ 、压电陶瓷片等硬质基底抛光。

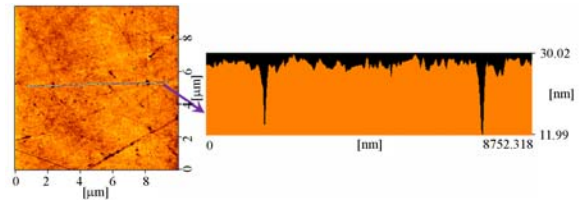
#### 4.3.2 光电材料

绝缘层上Ge(Germanium-on-Insulator,



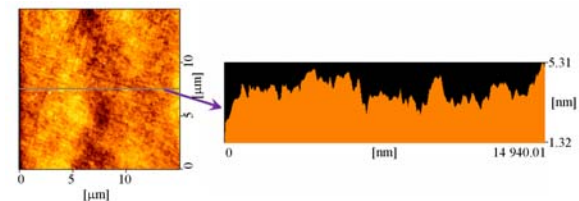
(a) 研磨后表面粗糙度 RMS 值为  $83.2\text{ nm}$

(a) RMS value of lapped surface roughness with  $83.2\text{ nm}$



(b) 粗抛后表面粗糙度 RMS 值为  $7.8\text{ nm}$

(b) RMS value of initial polishing surface roughness with  $7.8\text{ nm}$



(c) 精抛后表面粗糙度 RMS 值为  $0.89\text{ nm}$

(c) RMS value of final polishing surface roughness with  $0.89\text{ nm}$

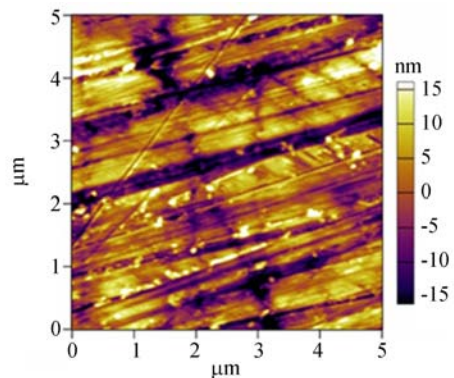
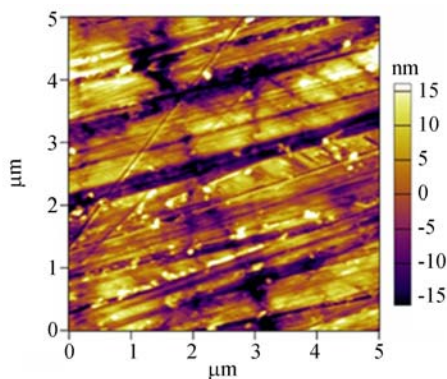


图9 研磨后的石英片CMP工艺

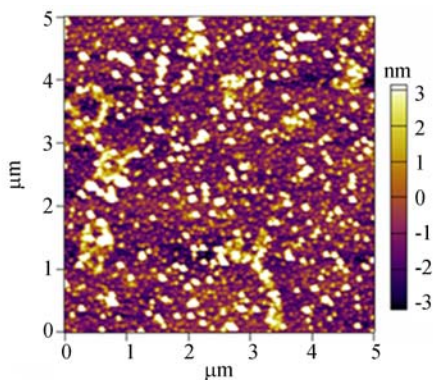
Fig. 9 CMP process for lapped quartz wafer

GOI)不仅具有高的电子和空穴迁移率,在通信波段有较高吸收系数,而且具有寄生电容小,功耗低等优点。正是由于结合了Ge材料及SOI材料各自的优点。GOI材料在波导型探测器、太阳能电池、光电探测器等领域具有广阔的应用前景。

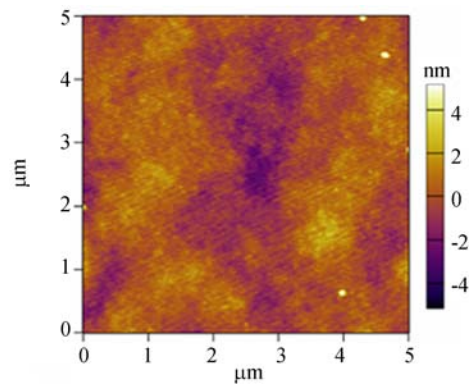
Ge 基底智能剥离抛光或者 Ge 片键合后研磨抛光仍旧是目前制备 GOI 材料的主要方法。剥离或者研磨后,Ge 薄膜表面存在着空洞,划痕等缺陷,其 RMS 为 8.11 nm,如图 10(a)所示,需要运用 CMP 工艺对表面进行修整。选用 COM-POL 80 作为抛光液,并加入适量的双氧水( $H_2O_2$ )有助 Ge 薄膜软化,从而提升抛光速率,兑水和加入  $H_2O_2$  后抛光液的 pH 值从原先约 10.2 降低至 9 左右。依据不同的转速和压力,Ge 的抛光速率在 250~450 nm/min 可调,抛光后 RMS 值降低至 2.72 nm,如图 10(b)所示,但表面仍旧粘附着大量的抛光颗粒。选用氨水、 $H_2O_2$  和水的混合液,其体积比为 1:1~1.5:1 000,在超声条件下,对抛光后的 Ge 薄膜进行清洗,能够有效去除表面颗粒,其 RMS 降低至 0.74 nm,如图 10(c)所示。



(a) 减薄的 Ge 薄膜表面粗糙度为 8.11 nm  
(a) Surface roughness of thinned Ge film with 8.11 nm



(b) GOI 片子抛光后表面粗糙度为 2.72 nm  
(b) Polished surface roughness of GOI wafer with 2.72 nm



(c) GOI 片子抛光和清洗的后表面粗糙度为 0.73 nm  
(c) Surface roughness of polished and cleaned GOI wafer with 0.73 nm

图 10 Ge 薄膜的 CMP 工艺

Fig. 10 CMP process for Ge film

#### 4.3.3 惰性金属

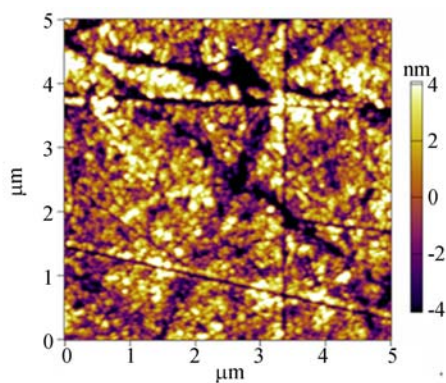
MEMS 器件一般是 4~6 片掩膜版即可完成,较少涉及到金属导线的互连。因此 CMP 在 MEMS 领域应用中,反而较少涉及到金属层的抛光。但是由于生物或者细胞 MEMS 器件的发展,诸如 Pt 等具有优异催化性能的惰性金属运用其中,已经不单是只是作为电极层使用,而是作为功能性薄膜所使用。但是多次光刻和刻蚀之后,Pt 功能薄膜也存在着平坦化的问题。

采用“两步抛”对 Pt 功能薄膜进行 CMP。粗抛在溶胶型  $SiO_2$  抛光溶液加入适量  $H_2O_2$  溶剂和纳米量级的  $Al_2O_3$  抛光粉,依据不同  $Al_2O_3$  粒径,Pt 功能薄膜去除速率可控制在 25~75 nm/min,如图 11(a)所示,抛光后表面存在着较多划痕,其 RMS 为 2.92 nm。精抛时采用纯  $SiO_2$  抛光溶液对粗抛表面进行修复,其 RMS 降低到 1.02 nm。如图 11(b)所示。

#### 4.4 聚合物

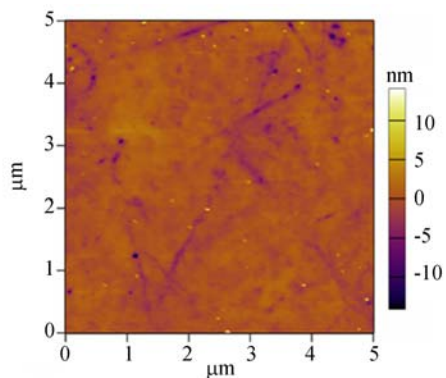
在 MEMS 器件,诸如微射频开关,微陀螺等需要形成悬空微结构,往往借助牺牲层技术加以实现。PI 作为一种有机聚合物,具有低应力,良好的延展性等优点。PI 作为 MEMS 器件的牺牲层,可以采用等离子刻蚀的方法去除,从而避免湿法去除牺牲层后悬空结构与底部的黏连。而且旋涂后的 PI 其厚度可以达 10  $\mu m$  以上,从而获得三维的立体的悬空结构。

PI 旋涂于凹凸不平微表面上,如图 12(a)所示,因此也存在平坦化的问题。可以借鉴 Si 的



(a) 粗抛后表面粗糙度 RMS 值为 2.92 nm

(a) RMS value of initial polishing surface roughness with 2.92 nm



(b) 精抛后表面粗糙度 RMS 值为 1.02 nm

(b) RMS value of final polishing surface roughness with 1.02 nm

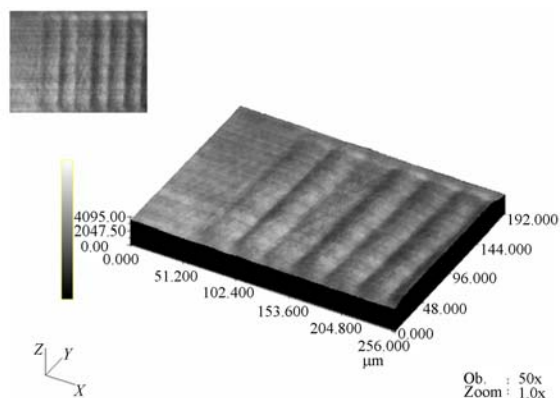
图 11 Pt 薄膜 CMP 工艺

Fig. 11 CMP process for Pt film

CMP 工艺。粗抛时抛光液与水的体积配比约为 1 : 20~1 : 40 ,以防高浓度的磨料对较软 PI 层产生过重的划伤。精抛耗材的选择以及配比与 Si 精抛时一致,通过“两步抛”,PI 层已经实现平坦化,如图 12(b) 所示。

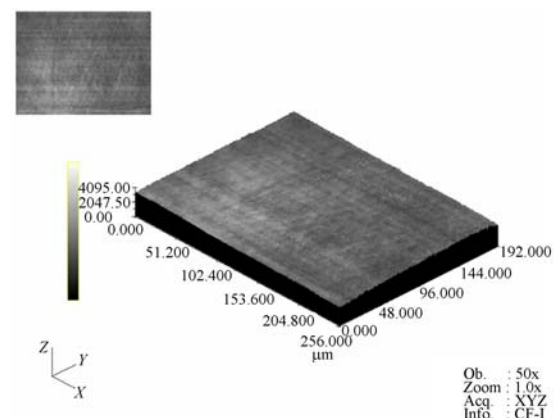
### 5 CMP 技术存在的问题

CMP 是化学和机械共同作用的过程,除了可以采用电化学腐蚀的方法对抛光液腐蚀抛光基底进行定量分析之外<sup>[18-19]</sup>,对于整体 CMP 机理的认识还处于定性的阶段。单就机械去除作用而言,其影响因素就包括压力、转速、流速、磨料的硬度和晶相、抛光盘的修复,夹具的结构等<sup>[20]</sup>,上述因素如何相互作用,相互影响,从而实现化学作用



(a) 抛光前不平坦的 PI 薄膜表面

(a) Uneven surface of pre-polished PI film



(b) 抛光后平坦的 PI 薄膜表面

(b) Even surface of polished PI film

图 12 PI 薄膜 CMP 工艺

Fig. 12 CMP process for PI film

和机械作用的最佳结合,从中所涉及的机理的研究仍旧比较匮乏。系统性 CMP 理论模型的缺失,使得目前 CMP 加工过程的控制还停留在半经验阶段。建立化学、机械系统性的耦合模型,探讨材料去除、抛光缺陷产生的机理、抛光过程中纳米粒子的运动规律及行为,从而定量地确定 CMP 最佳的工艺参数、满足各种大型集成电路、MEMS 器件中不同抛光材质对 CMP 工艺的不同要求,是当前 CMP 技术的亟需解决的重大课题。

另外随着超大规模集成电路的发展,特征尺寸要求达到数纳米量级,缺陷对于工艺控制和最终良率的影响愈发的明显,致命缺陷的大小至少要求小于器件尺寸的 50%<sup>[21-22]</sup>。在 MEMS 领域,新型的光导探测器为了获得高响应率和探测

率,必须完全去除感应薄膜的亚表面损伤层<sup>[23]</sup>。上述新型的器件研发对于 CMP 提出了新的挑战,现有的常规的溶胶型,50 nm 粒径以上的抛光液体已经难以满足上述器件的研制需求。因此开发小粒径(30 nm 以下),不同材质软性复合磨料的抛光液也是 CMP 技术今后着重需要解决的课题<sup>[22,24]</sup>。

## 6 结 论

(1) CMP 与光刻、镀膜及刻蚀共同组成半导体四大基础工艺,目前 CMP 工艺不仅是尖端的半导体科技中必不可少s的关键工艺,同时也逐渐运用于 MEMS 器件的研发中,成为研制高品质微纳器件不可或缺的一道关键技术。以区域压力调整、抛光终点检测等为代表新技术已经融入到

CMP 工艺,确保 WIWNU 小于 5%,同时有效减小缺陷,包括“蝶形”和“腐蚀”小于 50 nm

(2) 有别于其在半导体工艺中运用,CMP 运用于 MEMS 领域,其工艺过程更为复杂,往往需要采用“两步抛”工艺;抛光对象更为多元,涉及到硬质基底、聚合物和惰性金属等材料;而且表面质量要求更高,尤其是需要获得超光滑表面以实现芯片之间的直接键合。

(3) 以硅、介质层、石英、锗、铂和聚合物等自行开发的 CMP 工艺以及抛光后清洗处理为例,详细讨论和阐述 CMP 工艺如何运用于 MEMS 领域。相关实验结果表明,基于 CMP 工艺,结合抛光液改进和兆声清洗,不仅可以实现薄膜的全局平坦化,而且可以获得高品质的超薄基底、无损的硬质应变薄膜和表面粗糙度小于 0.5 nm 且可用于低温直接键合的超光滑键合表面。

## 参考文献:

- [1] HOWARD L, PETER B, WILLIAM C, *et al.*. Integration of chemical-mechanical polishing into CMOS integrated circuit manufacturing [J]. *Thin Solid Films*, 1992, 220(1): 1-7.
- [2] 许雪峰,马冰迅,黄亦申,等. 利用复合磨粒抛光液的硅片化学机械抛光[J]. *光学精密工程*, 2009, 17(7): 1587-1593.  
XU X F, MA B X, HUANG Y S, *et al.*. Error analysing and approaches of improving measuring precision in image measuring system [J]. *Opt. Precision Eng.*, 2009, 17(7): 1587-1593. (in Chinese)
- [3] 白林山,熊伟,储向峰,等. SiO<sub>2</sub>/CeO<sub>2</sub> 复合磨粒的制备及在蓝宝石晶片抛光中的应用[J]. *光学精密工程*, 2014, 22(5): 1289-1295.  
BAI L SH, XIONG W, CHU X F, *et al.*. Preparation of nano SiO<sub>2</sub>/CeO<sub>2</sub> composite particles and their applications to CMP on sapphire substrates [J]. *Opt. Precision Eng.*, 2014, 22(5): 1289-1295. (in Chinese)
- [4] 刘德福,陈涛,陈广林,等. 软性粒子抛光石英玻璃的材料去除机理[J]. *光学精密工程*, 2016, 24(7): 1623-1631.  
LIU D F, CHEN T, CHEN G L, *et al.*. Material removal mechanism for fused glass by using soft particles [J]. *Opt. Precision Eng.*, 2016, 24(7): 1623-1630. (in Chinese)
- [5] ZHANG B C, LEI H, CHEN Y. Preparation of Ag<sub>2</sub>O modified silica abrasives and their chemical mechanical polishing performances on sapphire [J]. *Friction*, 2017, 9: 1-8.
- [6] XU Q Z, FANG J J, CHEN L. A chip-scale chemical mechanical planarization model for copper interconnect structures [J]. *Microelectronic Engineering*, 2016, 149(C): 14-24.
- [7] 居志兰,朱永伟,王建彬,等. 抛光介质对固结磨料化学机械抛光水晶的影响[J]. *光学精密工程*, 2013, 21(4): 955-962.  
JU ZH L, ZHU Y W, WANG J B, *et al.*. Atomic step morphology research of LED sapphire substrate polishing surface and its periodicity [J]. *Opt. Precision Eng.*, 2013, 21(4): 955-962 (in Chinese)
- [8] 周艳,潘国顺,史晓磊,等. LED 蓝宝石衬底抛光表面原子台阶形貌及其周期性研究[J]. *光学精密工程*, 2017, 25(1): 100-106.  
ZHOU Y, PAN G SH, SHI X L, *et al.*. Atomic step morphology research of LED sapphire substrate polishing surface and its periodicity [J]. *Opt. Precision Eng.*, 2017, 25(1): 100-106. (in Chinese)
- [9] 吕玉山,王军,张辽远,等. 护环对硅片抛光表面压强分布和轮廓的影响[J]. *光学精密工程*, 2008, 16(4): 689-695.  
LU Y SH, WANG J, ZHANG L Y, *et al.*. Effect of retaining ring on pressure distribution and profile of polishing wafer surface [J]. *Opt. Precision Eng.*, 2008, 16(4): 689-695. (in Chinese)
- [10] ZEIDLER D, TNER M, DRESCHER K. Endpoint detection method for CMP of copper [J]. *Microelectronic Engineering*, 2000, 50(1): 411-416.
- [11] ALLEN R, CHEN C, TRIKAS T, *et al.*. In-situ CMP copper endpoint control system [C]. *IEEE*

- International Symposium on Semiconductor Manufacturing, San Jose, America: ISSM, 2001: 121-135.*
- [12] BIBBY T, HOLLAND K. Endpoint detection for CMP [J]. *Journal of Electronic Materials*, 1998, 27(10): 1073-1081.
- [13] HE A D, LIU B, SONG Z T, *et al.*. Endpoint detection of Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> during chemical mechanical planarization [J]. *Applied Surface Science*, 2013, 283(14): 304-308.
- [14] ZAKOUR S B, TALEB H. Using discrete wavelet analysis and sequential test to detect the endpoint in CMP process [J]. *International Journal of Computer Applications*, 2013, 42(13): 33-40.
- [15] ZENG Y B, ZHANG J, ZHOU H, *et al.*. A new processing technique for fabrication of ultra-thin wafer [J]. *The International Journal of Advanced Manufacturing Technology*, 2018, 1-12.
- [16] PLÖßL A, KRÄUTER G. Wafer direct bonding: tailoring adhesion between brittle materials [J]. *Materials Science & Engineering R Reports*, 1999, 25(1-2): 1-88.
- [17] 曾毅波,刘畅,陈观生,等. 运用研磨和化学机械抛光技术制备高品质的石英薄膜[J]. *传感技术学报*, 2013, 26(1): 1-6.
- ZENG Y B, LIU C, CHENG G S, *et al.*. High-Quality quartz thin film prepared by lapping and chemical & mechanical polishing technology [J]. *Chinese Journal of Sensors And Actuators*, 2015, 13(3): 179-185. (in Chinese).
- [18] KIM N H, KO P J, KANG S K, *et al.*. Platinum chemical mechanical polishing (CMP) characteristics for high density ferroelectric memory applications [J]. *Microelectronic Engineering*, 2007, 84(11): 2702-2706.
- [19] EIN-ELI Y, ABELEV E, STAROSVETSKY D. Electrochemical aspects of copper chemical mechanical planarization (CMP) in peroxide based slurries containing BTA and glycine [J]. *Electrochimica Acta*, 2004, 49(9): 1499-1503.
- [20] LEE H S, LEE D S, JEONG H D. Mechanical aspects of the chemical mechanical polishing process: A review [J]. *International Journal of Precision Engineering and Manufacturing*, 2016, 17(4): 525-536.
- [21] SRINIVASAN R, DANDU P V R, BABUB S V. Shallow Trench Isolation Chemical Mechanical Planarization: A Review [J]. *Journal of Solid State Science and Technology*, 2015, 4(11): 5029-5039.
- [22] YANG J C, PENIGALAPATIL D, CHAO T F, *et al.*. Challenges in Chemical Mechanical Planarization defects of 7nm device and its improvement opportunities [C]. *China Semiconductor Technology International Conference, Shanghai, China: CSTIC, 2017: 1-3.*
- [23] 乔辉,陈心恬,赵水平,等. 化学机械抛光产生的碲镉汞材料亚表面损伤层的研究[J]. *红外与激光工程*, 2016, 45(12): 1-5.
- QIAO H, CHEN X T, ZHAO S P, *et al.*. Study of the sub-surface damage of HgCdTe induced by chemical-mechanical polishing method [J]. *Infrared and Laser Engineering*, 2016, 45(12): 1-5. (in Chinese)
- [24] 高绮. 纳米聚集氧化硅固定磨料抛光布的抛光特性[J]. *光学精密工程*, 2016, 24(10): 2490-2497.
- GAO Q. Polishing characteristics of fixed-abrasive pad by using nano-aggregate silica [J]. *Opt. Precision Eng.*, 2016, 24(10): 2490-2497. (in Chinese)

## 作者简介:



曾毅波(1978—),男,福建厦门人,高级工程师,硕士,主要从事微纳加工工艺,微纳表征技术、微能源系统方面的研究。E-mail: zyb2005@xmu.edu.cn

## 通讯作者:



郭航(1967—),男,湖南醴陵人,教授,博导,教育部新世纪科研人才,美国康奈尔大学电气与计算机学院博士后研究员。主要从事微机电系统、集成电路设计与制造以及纳米技术方面的研究。E-mail: hangguo@xmu.edu.cn