

文章编号 1004-924X(2010)01-0273-08

# 面阵 CCD 彩色视频图像实时采集系统的设计

冉 峰, 杨 辉, 黄舒平

(上海大学 微电子研究与开发中心, 上海 200072)

**摘要:** 为了实现用面阵 CCD 实时采集彩色视频图像, 设计了一种彩色视频图像实时采集系统。在分析 SONY 面阵 CCD 器件 ICX424AQ 的结构参数和彩色视频图像采集原理的基础上, 实现了 CCD 控制时序的产生和整个采集系统的时序控制逻辑。分析了 CCD 器件的主要噪声来源, 采用相关双采样技术滤除了视频信号中的复位噪声和  $1/f$  等低频噪声, 提高了系统的信噪比。由于采用的面阵 CCD 芯片表面覆盖有 Bayer 彩色滤波阵列(CFA), 因此每个像素点只有一个颜色分量。为了获得全彩图像, 采用一种改进的双线性插值算法来获得每个像素点上丢失的色度信息, 较好地兼顾了插值效果和硬件实现复杂程度。该设计采用 CCD 逐行扫描工作方式, 曝光时间为 0.32 ms 时, 所有像素信号可依次读出。整个系统采用 FPGA 作为核心控制器件, 读取的 CCD 信号经过插值处理, 实时地通过发送芯片 SiI162 以 DVI 格式发送到 TFT-LCD 屏上显示。

**关键词:** 面阵 CCD; 图像采集; 现场可编程门阵列; 相关双采样; 彩色插值

**中图分类号:** TN941.1; TN386.5 **文献标识码:** A

## Design of real-time color video capture system for area array CCD

RAN Feng, YANG Hui, HUANG Shu-ping

(Microelectronic Research and Development Center, Shanghai University, Shanghai 200072, China)

**Abstract:** A real-time color video capture system is established to realize the color video capturing by an area array CCD. The hardware and software designs of the color video capture system of area array CCD ICX424AQ presented by Sony company are analyzed, and the structure parameters of the area-array CCD and the color video gathering principle of the capture system are introduced. Then, the CCD control sequence and the timing logic of the whole capture system is realized. Furthermore, the noises of the video signal (KTC noise and  $1/f$  noise) are filtered by using the Correlated Double Sampling (CDS) technique, and the signal-to-noise ratio of the system is enhanced. Because the area array CCD image sensor is covered by a Bayer Color Filter Array (CFA), each pixel has only one component of three primary colors. In order to obtain full chromaticity at every pixel, an enhanced bilinear algorithm is presented to obtain a compromise solution between the complex of hardware implementation and image quality through interpolating. The CCD is worked under progressive scan mode and all pixel signals can be read out simultaneously at the exposing time of 0.32 ms. The whole system is controlled by a Field Programming Gate Array (FPGA), and the pixel data readout is interpolated and then transmitted by the transmitting chip SiI162. Finally, the designed video is displayed on a TFT-

**收稿日期:** 2009-04-22; **修订日期:** 2009-05-25.

**基金项目:** 上海市科委“创新行动计划”项目集成电路设计专项(No. 08706201800); 上海市科委 2008 年度“创新行动计划”资助项目(No. 08706201800); 上海大学研究生创新基金项目(No. SHUCX092347)

LCD in real time.

**Key words:** area array CCD; video capturing; Field Programming Gate Array(FPGA); Correlated Double Sampling (CDS); demosaicing

## 1 引言

CCD(电荷耦合器件)图像传感器是高性能的固体成像器件,它将光信号转换为电信号,广泛应用于图像采集系统和测量检测系统中。它具有光谱响应宽、线性好、动态范围宽、噪声低、灵敏度高、实时传输等优点,因此在科学研究、生产检测、以及国防军工等领域扮演着非常重要的角色。

为了能够使用面阵 CCD 采集得到彩色图像,可以采取以下两种方法。(一)让光线通过特殊棱镜分光分成红、绿、蓝 3 种颜色,接着用 3 片 CCD 分别接受其中的一种颜色并转换为电信号,再将得到的信号通过电路处理来产生彩色图像信号。用这种方法采集得到的彩色视频图像清晰度高,色彩还原效果好,但是这样的系统很复杂,制造成本高昂。(二)采用单 CCD 来进行图像采集。这种 CCD 的表面覆盖了一层彩色滤波阵列(CFA),感光 and 色彩还原在一个 CCD 上完成。采集到的数据经过彩色插值运算得到最终的图像。

选择好的彩色插值方法对获取高质量图像非常重要。选用方法越复杂,插值产生的图像质量越高,但是需要的数据处理时间很长,同时很难用硬件实现复杂算法。为了达到减少插值运算时间和便于硬件实现这两个目的,双线性均值算法是最优的选择,但是这种算法会造成边缘模糊情况。本文采用一种改进的双线性插值算法,它在  $R$ 、 $B$  信号插值时考虑了相关性,而对于  $G$  信号仍然按照双线性插值方法处理。这种方法具有边缘增强的功能,在处理速度和成像质量方面达到了很好的折中。

本文采用单 CCD 进行视频采集,使用 FPGA 作为控制模块,产生了采集系统要求的时序,硬件实现了彩色插值算法,最终将实时采集到的图像发送到 TFT-LCD 上显示。

## 2 面阵 CCD 视频图像采集系统的组成

面阵 CCD 视频图像采集系统的组成如图 1 所示。在光线作用下,外界物体的光信号通过光学镜头投影到面阵 CCD 的感光区域上,时序发生器产生 CCD 工作所需要的时序脉冲,CCD 将光线作用强度转化为电荷的积累,在一定的时序控制下,电荷积累转换为电压的形式输出。AD 转换器对 CCD 输出的模拟信号进行 AD 转换,同时采用相关双采样(CDS)技术降低信号中的噪声,减小频率混淆。

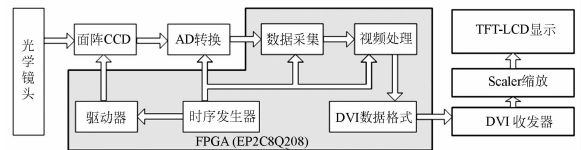


图 1 面阵 CCD 的彩色视频图像实时采集系统

Fig. 1 Real-time color video capture system for area-array CCD

由于采用的 CCD 图像传感器的表面覆盖一层彩色滤波阵列(CFA),为了获得全彩色图像,即每个像素点获得红、绿、蓝三个色度分量,必须依靠插值获得丢失的两个颜色信息。视频处理模块硬件实现改进的双线性插值算法。设计采用 DVI 接口进行数据发送,由于采用的面阵 CCD 分辨率  $692 \text{ pixel} \times 504 \text{ pixel}$ ,DVI 发送到 LCD 上的图像采用  $800 \text{ pixel} \times 600 \text{ pixel}$  分辨率,所以图像缩放模块(Scaler)将接受到的图像信号进行缩放以后发送到 LCD 屏上显示。

面阵 CCD 芯片采用 SONY 公司的 ICX424AQ,时序产生以及视频信号处理用可编程逻辑器件 FPGA(Cyclone II EP2C8Q208)实现,AD 转换器采用 AD 公司芯片 AD9943,DVI 发送芯片采用 Silicon Image 公司的发送芯片 SII1162。

### 3 面阵 CCD ICX424AQ 控制时序产生

#### 3.1 ICX424AQ 型面阵 CCD 芯片

ICX424AQ 是日本 SONY 公司生产的一款 0.85 cm、逐行扫描的面阵 CCD 图像传感器芯片,芯片结构如图 2 所示。它的像素为 692 pixel(H) × 504 pixel(V),其中有效像素 659 pixel(H) × 494 pixel(V),像元尺寸 7.4 μm × 7.4 μm,所有像素输出仅需要 1/60 s。它具有可以调整的电子快门功能,同时具有很小的暗电流和很高的灵敏度。

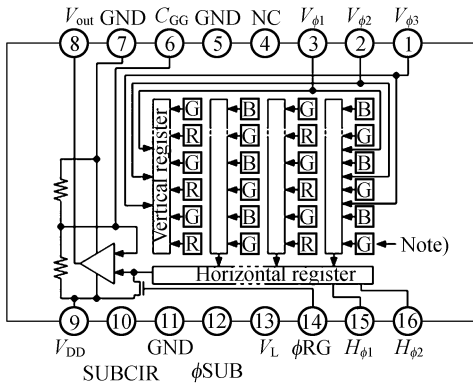


图 2 ICX424AQ 型面阵 CCD 芯片结构

Fig. 2 Structure of area-array CCD ICX424AQ

面阵 CCD ICX424AQ 共有两种工作模式:逐行扫描模式、中心扫描模式。当 ICX424AQ 工作在逐行扫描模式即每帧读出所有像素时,帧频最快可以达到 60 frame/s,如图 3 所示。在此工作模式下,所有的像素信号在一个曝光周期内不停的读出,所以这种模式适合高分辨率的图像采集。

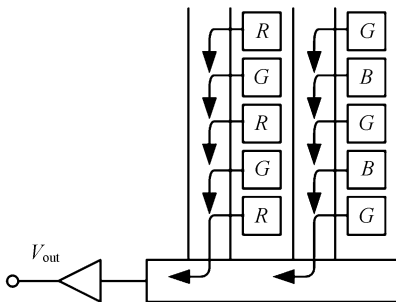


图 3 面阵 CCD 的逐行扫描模式

Fig. 3 Progressive scan mode for area-array CCD

#### 3.2 CCD 控制时序的产生

CCD 正常工作需要产生以下时序:控制水平移位寄存器中电荷移动的水平转移时钟( $H_{\phi 1}$ ,  $H_{\phi 2}$ ),控制垂直移位寄存器中的电荷移动的垂直转移时钟( $V_{\phi 1}$ ,  $V_{\phi 2}$ ,  $V_{\phi 3}$ ),复位时钟( $\Phi RG$ ),以及使得垂直移位寄存器中的电荷信号能够顺利转移到水平移位寄存器中的衬底时钟( $\Phi SUB$ )。因为 CCD 的垂直移位寄存器的驱动需要外加与之相配套的垂直时钟驱动芯片 CXD3400N,将原本 FPGA 产生的  $V_1, V_2, V_3$  和  $\Phi SUB$  信号转变成具有 -7.5, 0, 15 V 三个电压等级的信号  $V_{\phi 1}$ ,  $V_{\phi 2}, V_{\phi 3}$ 。这样就需要另外引入两个时序信号  $XSG1, XSG2$  用来形成垂直转移时钟信号,实现感光阵列中的电荷信号转移到垂直移位寄存器。

ICX424AQ 进行电荷产生、转移和读出所需要的驱动脉冲包括垂直转移时钟各驱动脉冲必须严格满足相位时序要求,才能保证 CCD 正常工作。每发送一组垂直转移时钟  $V_{\phi 1}, V_{\phi 2}, V_{\phi 3}$ ,面阵 CCD 的每行像素积累的电荷向水平移位寄存器方向移动一行,每发送一组水平转移时钟  $H_{\phi 1}, H_{\phi 2}$ ,水平移位寄存器中的电荷向输出端转移一次,被转移的电荷输出到输出放大器,把电荷转换成电压的形式在 OUT 管脚上输出,复位时钟  $\Phi RG$  清除水平移位寄存器中的残余电荷。由于电平的不匹配,FPGA 产生的  $H1, H2, XRG$  需要送入 LVC4245A 芯片产生驱动 CCD 工作的水平转移时钟信号和复位时钟信号  $H_{\phi 1}, H_{\phi 2}, RG$  时钟信号。

本文设计的时序产生代码用 Verilog HDL 编写,用 QUARTUS II 仿真通过,ICX424AQ 驱动时序仿真波形图如图 4 所示。由示波器观察得到的水平转移时钟和垂直转移时钟相位关系图如图 5 所示。

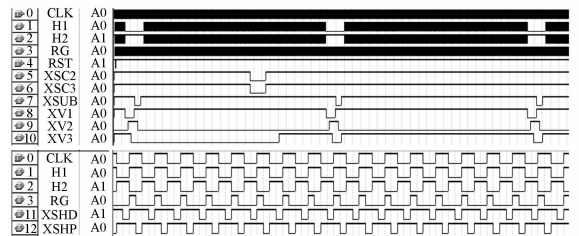


图 4 ICX424AQ 驱动时序仿真波形图

Fig. 4 Simulation waveform of ICX424AQ drive timing

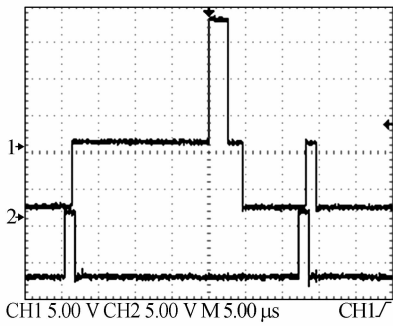
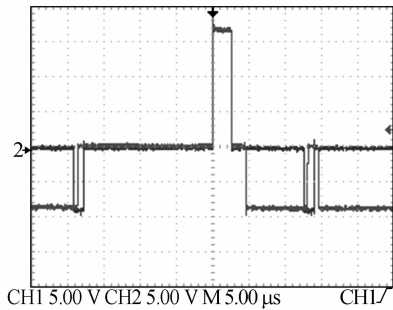
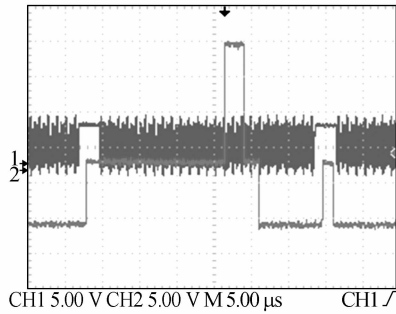
(a)  $V_{\phi 1}$  与  $V_{\phi 3}$  之间的相位关系图(a) Phase relation between  $V_{\phi 1}$  and  $V_{\phi 3}$ (b)  $V_{\phi 2}$  与  $V_{\phi 3}$  之间的相位关系图(b) Phase relation between  $V_{\phi 2}$  and  $V_{\phi 3}$ (c)  $V_{\phi 3}$  和  $H_{\phi 2}$  之间的相位关系图(c) Phase relation between  $V_{\phi 3}$  and  $H_{\phi 2}$ 

图 5 水平转移时钟和垂直转移时钟之间相位关系

Fig. 5 Phase relations between horizontal transfer clock and vertical transfer clock

## 4 相关双采样技术控制时序设计

CCD 在工作过程中存在着暗电流、输入噪声、转移噪声、输出噪声。同时也存在着沟道热噪声和噪声,复位噪声是 CCD 的主要噪声。CCD

信号电荷读出的一种常用的方法就是浮置扩散放大器(简称 FDA)的读出方法,如图 6 所示。它可实现信号电荷与电压之间的转换,由一个复位 MOS 场效应管开关和一个 MOS 场效应管放大器组成。当信号电荷包进入浮置扩散区时,复位开关管是截止的,此时信号电荷通过 MOS 放大管读出。复位时,加在复位开关管 G 上的脉冲使 G 导通,从而将浮置扩散区的信号电荷抽走,随后脉冲消失 G 又截止,等待着下一个电荷包的到来。由此可见,复位开关管交替于导通和截止两种工作状态,其导通时沟道电阻和截止时沟道电阻都会产生热噪声。这些热噪声通过浮置扩散结构与输出信号混在一起,就形成了复位噪声。为了抑制 CCD 的复位噪声和其他一些噪声,需要采用相关双采样技术。

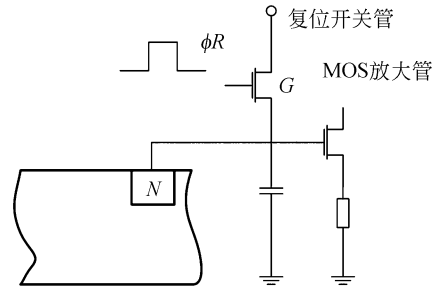


图 6 FDA 读出 CCD 信号方法

Fig. 6 Way of CCD signal readout

相关双采样技术就是对 CCD 的输出信号进行处理时进行两次采样,第一次采样复位噪声电压,第二次像元信号电压(采样信号电压加上复位噪声电压),他们之间的差值可以抵消复位噪声,相关双采样技术抑制噪声的程度由两次采样得到的复位噪声的相关程度决定。相关双采样电路的传递函数为:

$$T(s) = \frac{1 - e^{-sT_0}}{1 + s/\omega_0} T_0, \quad (1)$$

其中  $\omega_0$  为电路带宽,  $T_0$  为电路增益。

由上式可知,当频率为 0 的时候,电路的频率响应下降为 0,所以相关双采样技术还可以抑制  $1/f$  噪声和其他低频噪声。

本文采用 AD 公司模数转换芯片 AD9943 处理 CCD ICX424AQ 输出的视频信号, AD9943 具有 10 位精度 A/D, 采样频率 25 MHz, 具有相关双采样电路, 内置可编程增益放大器和暗电平校

正功能。图 7 是 ICX424AQ 输出信号及相关双采样时序。

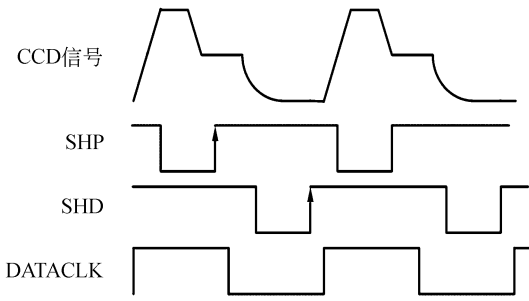


图 7 相关双采样时序

Fig. 7 Timing of Correlated Double Sampling (CDS)

图 7 中 CCD 信号是 ICX424AQ 的输出信号,信号 SHP 和 SHD 是提供给 AD9943 进行相关双采样的时序,SHD 采集 CCD 参考电平,而 SHD 采集 CCD 视频电平。用采集到的两个电平作差即可消除 CCD 的复位噪声和部分低频噪声。随后 AD 将模拟信号转化为数字信号读入 FPGA 的 RAM 中。

## 5 改进的双线性插值算法及硬件实现

为了降低系统的成本与体积,采用单片面阵 CCD 器件,其表面覆盖有 Bayer 彩色滤波阵列 (Bayer CFA),如图 8 所示。CFA 使每个像素点只能获得红、绿、蓝其中一种分量。所以必须依靠插值的方法将只有一种基色的马赛克图像变换成每个像素包含红、绿、蓝三色的信息的全彩图像。这个过程通常被称为彩色插值(demosaicing)。

现有的文献中大量的描述 demosaicing 插值算法,包括简单的线性插值法、基于边缘的插值方法,加权系数法,基于小波变换的插值方法。但是

$$G(x-1, y) = \frac{G(x-1, y-1) + G(x-1, y+1) + G(x-2, y) + G(x, y)}{4}, \quad (2)$$

在 R 点插入绿色像素同理。

随后对于红色、蓝色的分量插值。考虑需要插值像素的 G 分量与邻域中的哪个同色像素的 G 分量最接近,则选择最接近的像素的 R(或 B)分量作为此像素的 R(或 B)分量。分以下两种情况讨论。

很多插值算法硬件实现很困难,计算十分复杂,并且延迟大,占用硬件资源多。本文为了实现视频图像实时的传输,并且在 FPGA 中硬件实现,需要采用线性均值的插值方法易于实现和快速的优点,在此基础上,我们采用了一种改进的双线性插值算法。这种算法保持了线性插值算法速度快的优点,同时有效地改善普通线性插值方法引起的图像模糊问题。

|     |       |     |     |   |     |     |
|-----|-------|-----|-----|---|-----|-----|
|     | ..... | y-2 | y-1 | y | y+1 | y+2 |
| ⋮   | ..... | B   | G   | B | G   | B   |
| x-2 | R     | G   | R   | G | R   | G   |
| x-1 | G     | B   | G   | B | G   | B   |
| x   | R     | G   | R   | G | R   | G   |
| x+1 | G     | B   | G   | B | G   | B   |
| x+2 | R     | G   | R   | G | R   | G   |

图 8 Bayer 彩色滤波阵列

Fig. 8 Bayer color filter array

### 5.1 改进的双线性插值算法

双线性插值算法具有运算速度较快,运算量适中等优点,在平滑区域可以得到满意的效果。但是在高频区域和边界区域有明显的失真。为了解决这个问题,我们采用了一种改进的双线性插值算法。由于 Bayer CFA 阵列中绿色像素点的数量是红或蓝像素点的两倍,可以利用 G 像素点作为 R、B 分量的插值参考,即使用双线性插值方法对绿色分量进行插值,在红、蓝分量的插值过程中考虑相关性。首先插值绿色分量。从 Bayer CFA 中可以看出,每个 R、B 像素点的上下左右四个点都是 G 像素点,如图 8 所示。比如在  $(x-1, y)$  的 B 点,插入绿色分量,那么:

$$R = \begin{cases} R_{\text{left}}, & |G - G_{\text{left}}| = \min(|G - G_{\text{left}}|, |G - G_{\text{right}}|) \\ R_{\text{right}}, & |G - G_{\text{right}}| = \min(|G - G_{\text{left}}|, |G - G_{\text{right}}|) \end{cases} \quad (3)$$

$$B = \begin{cases} B_{\text{up}}, |G - G_{\text{up}}| = \min(|G - G_{\text{up}}|, |G - G_{\text{down}}|) \\ B_{\text{down}}, |G - G_{\text{down}}| = \min(|G - G_{\text{up}}|, |G - G_{\text{down}}|) \end{cases}, \quad (4)$$

如果像素点的左右是  $B$  分量, 上下是  $R$  分量的话, 仅仅需要把上面的两个式子  $R$ 、 $B$  对调。

$$B = \begin{cases} B_{\text{left\_up}}, |G - G_{\text{left\_up}}| = \min(|G - G_{\text{left\_up}}|, |G - G_{\text{left\_down}}|, |G - G_{\text{right\_up}}|, |G - G_{\text{right\_down}}|) \\ B_{\text{right\_up}}, |G - G_{\text{right\_up}}| = \min(|G - G_{\text{left\_up}}|, |G - G_{\text{left\_down}}|, |G - G_{\text{right\_up}}|, |G - G_{\text{right\_down}}|) \\ B_{\text{left\_down}}, |G - G_{\text{left\_down}}| = \min(|G - G_{\text{left\_up}}|, |G - G_{\text{left\_down}}|, |G - G_{\text{right\_up}}|, |G - G_{\text{right\_down}}|) \\ B_{\text{right\_down}}, |G - G_{\text{right\_down}}| = \min(|G - G_{\text{left\_up}}|, |G - G_{\text{left\_down}}|, |G - G_{\text{right\_up}}|, |G - G_{\text{right\_down}}|) \end{cases}. \quad (5)$$

## 5.2 算法的硬件实现

AD 将模拟信号转化为数字量以后, FPGA 读取每个像素 8 bit 的 Bayer 数据, 进行处理目的是为了得到每个像素是 24 bit 的彩色图像数据。为了硬件实现改进的双线性插值算法, 需要在 FPGA 里面设计使用异步 FIFO 和双端口 RAM 作为缓冲存储。FIFO 接受采集到的图像的 AD 采样的值, 一方面将 RGB 与行列的位置信息写入



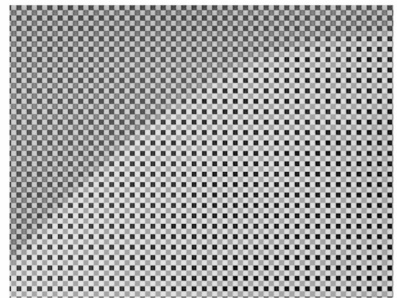
图 9 系统的实验设备

Fig. 9 Equipment of experiment system



(a) 没有插值前的原始图像

(a) Original image



(b) 原始图像的部分放大

(b) Enlarged partial original image



(c) 经过插值算法后得到的图像

(c) Original captured image processed by interpolation

图 10 改进的双线性插值算法效果图

Fig. 10 Results of enhanced bilinear interpolation algorithm

RAM, 另一方面预先读出 FIFO 中最开始的几个数据以便调用。但是写入的时钟和读出的时钟是不一样的, 因此在本设计中采样异步双口 FIFO 作为数据缓冲器, 宽度 52 bit, 深度 512 words。缓存模块采用 FPGA 内部的双口 RAM, 缓冲三行的图像数据量和行结束、帧结束等控制信号。

输入的数据先进入缓存模块, 缓存模块是由双口 RAM 构成, 从缓存中输出的数据被分成奇行和

偶行。奇行的数据进入奇行奇列运算块和奇行偶列运算块,偶行的数据进入偶行奇列运算块和偶行偶列运算块,最后在插值控制模块的作用下,各运算块处理的数据输出。最后的输出数据按红色高8位,绿色中间8位,蓝色低8位进行排列。

数据最后按照 DVI 格式发送到 TFT-LCD 屏上显示,经过 Scaler 缩放模块显示分辨率为 800 pixel $\times$ 600 pixel。DVI 实现采用 DVI 发送芯片 SiI1162。整个实验系统设备如图 9 所示。硬件实现的实验结果如图 10 所示。

## 6 结 论

本文设计了一种面阵 CCD 的彩色视频图像采集系统。文中详细介绍了面阵 CCD 彩色视频

图像采集系统的组成,并且重点说明了系统时序控制模块和改进的双线性彩色插值模块的设计。系统采用 AD9943,运用相关双采样技术滤除视频信号中的相关噪声,提高了系统的信噪比。文中给出了时序信号的测试波形和插值算法的试验结果。最后通过采用此视频图像采集系统,对 CCD 曝光时间做了相关实验。实验表明,当面阵 CCD 器件 ICX424AQ 曝光时间为 0.32 ms 时,CCD 器件基本为线性响应,实验观测到的结果良好。基于以上设计,完成了面阵 CCD 的彩色视频图像采集实时显示系统的设计。本设计采用 FP-GA 作为系统主要控制芯片,开发周期短,可扩展性强。

## 参考文献:

- [1] 王庆有. CCD 应用技术[M]. 天津:天津大学出版社,2000.  
WANG Q Y. *The Application of CCD* [M]. Tianjin: Publishing House of Tianjin University, 2000. (in Chinese)
- [2] 阮秋琦. 数字图像处理学[M]. 北京:电子工业出版社,2001.  
RUAN Q Q. *Digital Image Processing Technology* [M]. Beijing: Publishing House of Electronics Industry, 2001. (in Chinese)
- [3] 李国宁,刘妍妍,金龙旭. 用于动态目标跟踪的面阵 CCD 成像系统[J]. 光学精密工程,2008,16(3): 558-564.  
LI G N, LIU Y Y, JIN L X. Area CCD imaging system used in moving target tracking [J]. *Opt. Precision Eng.*, 2008, 16(3): 558-564. (in Chinese)
- [4] 李奇,冯华君,徐之海. 一种基于绿色分量的 CCD 颜色插值算法[J]. 光电子·激光,2001,12(8):842-844.  
LI Q, FENG H J, XU ZH H. A color interpolation algorithm of CCD based on green components[J]. *Journal of Optoelectronics · Laser*, 2001, 12(8): 842-844. (in Chinese)

- [5] RON K. Demosaicing: image reconstruction from color CCD samples[J]. *IEEE T. Image Process.*, 1999, 8(9):1221-1228.
- [6] 盛翠霞,张涛,纪晶,等. 高分辨率 CCD 芯片 FTF4052M 驱动系统的设计[J]. 光学精密工程, 2007,15(4):564-569.  
SHENG C X, ZHANG T, JI J, *et al.*. Design of CCD FTF4052M driver system with high sensitivity[J]. *Opt. Precision Eng.*, 2007, 15(4): 564-569. (in Chinese)
- [7] 李云飞,李敏杰,司国良,等. TDI-CCD 图像传感器的噪声分析与处理[J]. 光学精密工程,2007,15(8):1196-1202.  
LI Y F, LI M J, SI G L, *et al.*. Noise analyzing and processing of TDI-CCD image sensor [J]. *Opt. Precision Eng.*, 2007, 15(8): 1196-1202. (in Chinese)
- [8] 陈章进,徐美华,冉峰. 平板显示系统分形扫描模型的 IP 核实现[J]. 电子学报,2008,36(5):880-885.  
CHEN ZH J, XU M H, RAN F. IP core implementation of fractal scanning model for FPD system[J]. *Acta Electronica Sinica*, 2008, 36(5): 880-885. (in Chinese)
- [9] 金龙旭,李国宁,刘妍妍. 帧转移型面阵 CCD 驱动电路的设计[J]. 光学精密工程,2008,16(6):1140-1145.

JIN L X, LI G N, LIU Y Y. Design of driving circuit for frame transfer area CCD[J]. *Opt. Precision Eng.*, 2008,16(6):1140-1145. (in Chinese)

[10] 佟首峰,阮锦,郝志航. CCD 图像传感器降噪技术的研究[J]. *光学精密工程*, 2000,8(2):140-146.

TONG SH F, RUAN J, HAO ZH H. Noise reducing scheme on output signal of CCD[J]. *Opt. Precision Eng.*, 2000, 8(2):140-146. (in Chinese)

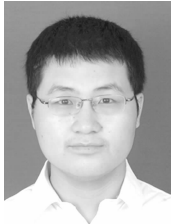
#### 作者简介:



冉峰(1954—),男,山东泗水人,教授,博士生导师,主要从事智能信息与集成电子系统,高清晰度平板显示与应用集成技术等方面的研究。E-mail: ranfeng@mail.shu.edu.cn



黄舒平(1982—),男,湖南株洲人,硕士研究生,主要从事显示系统设计以及视频信号处理方面的研究。E-mail: iver-sn@shu.edu.cn



杨辉(1985—),男,安徽舒城人,硕士研究生,主要从事平板显示驱动电路设计,数模混合集成电路设计等方面的研究。E-mail: huiyang@yahoo.cn

(本栏目编辑:白雨虹)

#### ●下期预告

## 纳米硬质合金刀具切削 Al/SiC<sub>p</sub> 复合材料实验

郜吉才<sup>1</sup>,张飞虎<sup>2</sup>

(1. 河南理工大学 机械与动力工程学院,河南 焦作 454000;

2. 哈尔滨工业大学 机电学院,黑龙江 哈尔滨 150001)

SiC 颗粒具有较高的硬度,使 Al/SiC<sub>p</sub> 复合材料在切削时刀具磨损剧烈。纳米硬质合金具有较高的硬度、韧性及良好的抗磨损能力。制备了纳米硬质合金刀具 WC-7Co,对 Al/SiC<sub>p</sub> 复合材料进行了切削实验,研究了纳米硬质合金刀具磨损机理和 Al/SiC<sub>p</sub> 复合材料的切屑去除机理,以及刀尖处后刀面磨损值。研究认为,纳米硬质合金刀具磨损的机理为 SiC 颗粒的微切削作用引起的磨料磨损,及 SiC 颗粒对刀尖刃口的高频、断续冲击引起的微崩刃及微破损,Al/SiC<sub>p</sub> 复合材料的切削实质是断续切削;Al/SiC<sub>p</sub> 复合材料去除机理为切屑的崩碎去除;纳米硬质合金后刀面磨损值较普通硬质合金小 30%~50%。实验表明,纳米硬质合金较普通硬质合金更适于加工 Al/SiC<sub>p</sub> 复合材料。