

文章编号 1004-924X(2012)03-0632-11

显示信息高速串行传输的差错控制

邓春健^{1*}, 安源², 吕焱¹, 李文生¹, 邹坤¹

(1. 电子科技大学中山学院, 广东 中山 528402;

2. 中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要:提出了差错控制编码方法来解决 LED 大屏幕远程通信系统显示信息高速率串行传输数据可靠性降低的问题。考虑到显示信息发送端和接收端的硬件基础及实现要求不同,提出在发送端采用并行算法结构,并构造了生成矩阵进行编码运算来提高算法的实时性;在接收端采用双时钟串行循环译码电路结构,在伴随式计算后采用高速时钟进行纠错,使得码字较长的编码仍旧能够获得较低的硬件开销并具备较好的实时译码能力。实验及理论分析表明,提出的方案能够实现高效率的编解码运算,编码效率达到 98.2%。该方案也有效地降低了误码率,实际应用中误码率至少降低了 1 个数量级。使用提出的方案实现了显示信息的高速率、高效率串行传输。

关键词:高速串行传输;循环码;误码率;差错控制;现场可编程门阵列

中图分类号: TN873.92; TN919.8 **文献标识码:** A **doi:** 10.3788/OPE.20122003.0632

Error control of high speed serial display data transmission

DENG Chun-jian^{1*}, AN Yuan², LÜ Yi¹, LI Wen-sheng¹, ZOU kun¹

(1. Zhongshan Institute, University of Electronic Science and Technology of China, Zhongshan 528402, China; 2. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

* Corresponding author, E-mail: dcj5880870@126.com

Abstract: An error control coding method is proposed to improve the reliability of serial data transmission for the display information of a LED large screen remote communication system. Considering the difference of the hardware basis and the implementation requirements between a transmitter and a receiver, a parallel algorithm structure is presented at the information transmitter, and the generating coding matrix is deduced to improve the real time performance of the coding algorithm. Moreover, a dual clock serial circulation decoding structure is presented at the information receiver, in which the high-speed clock after serial syndrome computation is used to correct the error bit to allow the long codeword to obtain a low hardware overhead and real time processing ability. Practice and theoretical analysis shows that the designed scheme can accomplish a high effective coding in efficiency of 98.2%, and can reduce the bit error rate effectively at least 1 order of magnitude in the application. The scheme can achieve high efficient serial transmission of display information.

收稿日期: 2011-10-21; 修订日期: 2011-11-11.

基金项目: 国家自然科学基金资助项目 (No. 61072073); 广东省自然科学基金资助项目 (No. 10452840301004638); 中山市科技计划资助项目 (No. 20103A248, No. 20114A209)

Key words: high speed serial transmission; cyclic code; bit error rate; error control; Field Programming Gate Array (FPGA)

1 引言

RS-485 总线具有成本低、距离远、布线复杂度低等优点,是 LED 大屏幕远程显示控制系统最为常用的数据通信方式之一。LED 大屏幕远程显示控制系统一般采用“显示屏控制机——显示屏”的主从控制模式,在显示屏控制机端将编辑好的图片转化成显示数据,然后通过串口经 RS232-485 转换器将显示信息发送到显示屏显示。在显示屏点阵规格较大的场合,由于数据传输量较大,必须提高数据的传输速率才能确保显示信息的实时发布。然而随着数据传输速率的提高,对通信系统硬件性能要求变高,对现场环境噪声干扰也变得敏感,从而导致数据传输可靠性降低^[1-2]。

正确而快速地将显示信息传输到信息接收端是显示控制系统必须解决的问题。参考文献[3-8]针对 RS485 总线下的高速串行数据通信提出了许多具有参考价值的经验。文献[3]分析了 RS485 传输电缆特性、总线阻抗等性能对高速数据传输的影响,提供了 RS485 总线下高速串行通信硬件设计和选型方法,并采用基于 CRC 校验的反馈重发(ARQ)方法来保证数据传输可靠性,该文献的总结方法具有普遍的参考意义;文献[4]采用一种用于点对点的串行数据通信专用收发芯片来实现数据高速率的传输;文献[5-6]分别采用曼彻斯特编码和 8 B/10 B 编码来提高数据高速传输的可靠性和稳定性;文献[7]采用数据位 12 位、监督位 4 位的汉明码来保证“高速信息传输和高可靠传输”。但是在本文应用中,文献[3]和文献[8]提出方法如果重发过于频繁,特别是在一定噪声干扰下,通信效率反而会大大降低。显示控制系统一般是采用显示控制机串口进行数据传输,而曼彻斯特编码^[5]、8 B/10 B 编码^[6]一般是建立在通信物理层的编码,而在基于 RS232 异步串行通信协议之上采用上述编码,需要在数据收发端增加复杂的硬件设备,即使采用软件方法来实现亦不可行;文献[7]采用的编码方法可以纠正数据传输中的错误,但编码过程会造成约 30%的数据冗余,在本文应用中会大大降低显示信息的传输

效率。可见上述文献并没有为本文应用提供可以完全复制的方案,盲目地照搬只会增加系统的实现难度和成本,反而影响数据传输效率。

由于显示控制系统是一个综合数据通信系统,需要针对显示控制系统特点进行系统分析才能获得符合工程实际的高效率显示信息传输方案。本文通过分析显示信息高速串行传输信道及显示数据特点,在显示信息传输过程中引入差错控制方案来保证显示信息快速而准确地传输。仿真和实践证明本文提出方案具有较低的软硬件开销,可以有效地降低误码率,提高系统通信效率^[2]。

2 显示信息高速串行传输误码率分析

在显示屏控制机端,需预先编辑好显示图片才能获得显示数据,显示图片的像素与显示屏像素相对应。若显示屏为 C 基色,点阵规格为宽×高 = $W_{\text{bits}} \times H_{\text{bits}}$,则发送一屏显示数据需要花费的时间为 T ,如式(1)。其中串口设置为无校验位、8 位数据位、停止位为 1 位,波特率为 bps。

$$T = \frac{10 \cdot C \cdot H_{\text{bits}} \cdot W_{\text{bits}}}{8 \cdot \text{bps}} \quad (1)$$

若显示器为双基色,点阵规格为 400×300 ,则以 115 200 bps 的波特率传输显示数据需要花费近 3 s,576 00 bps 需要花费近 5 s,384 00 bps 需要花费 8 s。若要求在 10 s 内完成显示信息的发布,则低于上述波特率的通信速率都不能满足应用要求。

作者在某工业现场环境对不同波特率、码长下的通信误码率做了粗略的统计,实验条件是采用外接电源的 RS232-485 转换器,普通双绞线电缆,通信距离 200 m。如表 1 所示,误码率在相应的数量级上下波动。

表 1 说明在相同实验条件下,数据传输速率和码长直接影响到通信质量,且波特率越高、码长越长,数据传输误码率越高。

数据传输发生错误,将直接反映到显示屏上。如果显示数据中出现错误位,显示屏会出现“小花

点”。如果错误位出现在数据中的起始位或停止位,则同步信息丢失数据将无法恢复,随后数据将全部出错,会出现大面积“花屏”现象。

表 1 误码率统计

Tab. 1 Statistics of error rate

波特率/bps	误码率 (码长 10^4 位)	误码率 (码长 10^3 位)
115 200	10^{-4}	10^{-5}
57 600	10^{-5}	10^{-6}
38 400	10^{-7}	10^{-8}
9 600	0	0

3 显示信息高速串行传输的差错控制及通信协议

影响显示信息高速率串行传输通信质量的因素较多,包括数据传输速率、传输码长等因素,还包括传输距离、硬件电路结构、外部干扰等因素。通信信道建立后,通过优化数据传输结构、引入合适的差错控制编码方法是改善通信质量的最重要手段。下面仍旧以双基色、点阵规格为 400×300 显示屏为例,来寻找并设计适合的差错控制方法。

3.1 显示信息高速串行传输差错控制编码选择

差错控制编码在通信收发端需要分别设计编码和译码器,传输数据包含了额外的监督或校验信息,因而差错控制编码是以增加系统资源消耗为代价来提高通信的可靠性。差错控制编码仅是作为显示控制系统整体功能的辅助部分,因而编码的设计应该在确保符合要求纠错能力的前提下尽可能减少软硬件上的复杂度和冗余信息。

选择和构造差错控制编码需要根据实际工程中通信信道特点及数据结构特点来进行。从概率来看,差错可能出现在 n 长码字的任意 1 位或任意多位,设 P_e 为发生 1 位码元的差错率,则在这些可能的错误中,发生 i 位错误的概率为:

$$P_{(i)} = C_n^i P_e^i (1 - P_e)^{n-i}. \quad (2)$$

式(2)可以说明,随机信道产生错误的概率出现 1 位错误的概率最大,错 2 位的概率远小于 1 位的概率,而错 3 位或 3 位以上的概率就更低,因而纠正了 1 位错误可以将误码率降到较低水平。

循环码是一类适合软硬件实现差错控制的编码,实现复杂度较低。满足式(3)形式的循环码亦

为汉明码(其中 n 表示码长, k 表示信息位长),该码可以纠正 n 位码字中的 1 位差错,并发现多位错误。

$$(n, k) = (2^m - 1, 2^m - m - 1). \quad (3)$$

根据表 1 实验,一次数据传输的数据包以及纠错编码长度控制在 100 字节内。考虑到点阵规格为 400×300 的显示屏每一行显示数据共 50 字节,因而,一次传输数据帧以行作为单位。联系式(1)选取 $n=511, m=9$,即(511,502)循环码。因为信息位占 502 位,足以实现对一行显示数据的编码,而以行作为传输单位也便于接收端电路的设计。

(511,502)循环码编码后监督位仅仅 9 位,编码效率能达到 98.2%,因而监督位信息增加的时间消耗非常有限。另外,通过(511,502)循环码纠错后低于 10^{-3} 的误码率可以降低至少 1 个数量级以上,而对无法纠正的错误,即差错数量超出编码器的纠错能力,则要求发送端重发数据。可见在低于 10^{-3} 的误码率时,(511,502)循环码能够较好地提高数据抗突发干扰和随机干扰的能力。由于差错数量超出误码纠错能力的概率较低,因而避免了当过于频繁地采用反馈重发方法而导致通信效率降低的问题。

根据上述分析,论文确定采用(511,502)循环码,并且在实现上采用系统循环码来进一步降低编解码器设计难度。

3.2 显示信息数据传输协议设计

差错控制编码确定后,开始确定显示信息数据传输通信协议。一般地,显示屏控制端多采用基于 MCU+FPGA 控制结构,其中 MCU 用于接收和处理数据,FPGA 产生显示控制时序^[9]。MCU 的 UART 模块封装了异步串行通信协议,当接收到数据后 UART 模块即将数据提取出来。而 UART 模块完整地解析每一字节数据的依据是获得正确的起始位和停止位,因而,如果数据传输过程中的某字节数据起始位或停止位发生错误,则意味着随后的数据因为失去同步信息,所有数据将发生错误。基于这一原因,本文数据接收不采用 MCU,而在 FPGA 设计数据接收前端电路。

由于一个数据帧的各数据位是连续的,因而在数据发送端编码时将起始位、停止位及数据位一起编码,而数据接收端将连续的编码数据一并

送入译码器,既保证了数据的可靠性,更方便了译码器的设计。

上述编码方案发送1帧数据的显示信息位共502位,其中显示数据50字节占用了500位信息位,剩余2位其中1位用来标识当前是红色或者是绿色数据,另1位则被起始位占用。发送端数据传输协议如表2所示,协议中1帧发送数据共56字节,其中监督位占9位,监督位的计算包括显示数据、标识,还包括了构成串行通信中的起始位和停止位共502个数据位。而最后6位用固定码填充,作为停止符,构成数据帧的最后的1字节^[10]。

表2 显示信息数据传输协议

Tab. 2 Display information transmission protocol

字段描述	同步字	显示数据	标识位 + 监督位	监督位 + 帧结束位
字段长度	4字节	50字节	1位+7位	2位+6位
字节位置	1~3	4~54	55	56

显示图片采用左起横向扫描取模方法,数据传输时是高位先出,因而,串口发送1字节数据时,起始位先移出,接下来是显示数据的最高位,然后是次高位,最后移出的是停止位。

若是点对多点的通信或是增加控制命令,协议则需要做适当的修改。如在同步字后增加字段来作为显示屏地址、控制字的描述,视具体情况而定。

4 显示信息高速串行传输差错控制编码实现

循环码编解码算法都具有并行和串行运算结构。并行算法运算速度较快,但是,码长较长时算法运算过程需要耗费较多存储空间,电路结构也较为复杂,不利于电路实现。串行算法执行过程耗费的存储空间较少,但需要花费较多的时钟周期,运算时间较长。显示信息发送端和接收端硬件及实现基础不同,编码过程中需要根据系统硬件特点来选取合适的算法实现方式^[10-11]。

限于篇幅,论文仅围绕差错控制编译码实现过程中的重难点问题来展开论述。

4.1 (511,502)系统循环码编码

在显示信息发送端控制程序对显示数据编码

后发送到显示信息接收端。显示信息发送端由于是PC系统,并不需要考虑编码算法对资源的消耗,因而实现手段较为灵活。循环码编码实现过程主要包括2步:

首先,获得(511,502)系统循环码的本原多项式 $g(x)$,用来作为生成编码的生成多项式:

$$g_i(x) = x^9 + x^4 + 1. \quad (4)$$

然后,待编码信息 $m_i(x)$ 与生成多项式相乘后,即可获得编码信息 $c_i(x)$ (其中 i 表示显示图片第 i 行):

$$c_i(x) = m_i(x) g_i(x). \quad (5)$$

如果编码实现采用并行算法结构,待编码信息同时输入编码器即可直接获得编码输出,有利于数据的实时处理及及时发送,因而本文编码器的设计采用了并行算法结构。

并行算法结构编码的关键在于建立(511,502)系统循环码矩阵描述形式。在编码前所有待编码信息位都准备完毕,表2显示信息通信协议中的显示数据、标识以及构成串行通信中的起始位和停止位502个信息位 $m_i = (m_{i,501}, m_{i,500}, \dots, m_{i,0})$ (m_i 中元素为二元域下的元素,以下类似元素不再说明),用式(6)多项式形式来表示:

$$m_i(x) = m_{i,501} x^{501} + \dots + m_{i,1} x + m_{i,0}. \quad (6)$$

设经过编码运算后获得511位码字 $c_i = (c_{i,511}, c_{i,510}, \dots, c_{i,1}, c_{i,0})$,多项式形式为:

$$c_i(x) = c_{i,510} x^{510} + \dots + c_{i,1} x + c_{i,0}. \quad (7)$$

结合式(6)、(7),式(5)经过变换后形成式(8)矩阵代数形式,式(10)中 \mathbf{G} 为编码中的生成矩阵,

$$c_i(x) = [m_{i,501}, m_{i,500}, \dots, m_{i,0}] \cdot \mathbf{G} \cdot \begin{bmatrix} x^{510} \\ x^{509} \\ x^{508} \\ \dots \\ 1 \end{bmatrix}. \quad (8)$$

对于(511,502)系统循环码,高502位为信息位,低9位为监督位,因而 m_i 为 c_i 中的前502个信息位,即 $c_i = (m_{i,501}, m_{i,500}, \dots, m_{i,0}, c_{i,8}, \dots, c_{i,1}, c_{i,0})$,其多项式形式为:

$$c_i(x) x^9 \cdot m_i(x) + p_i(x) = x^{510-j} + p_i(x) \quad j=0,1,\dots,501, \quad (9)$$

式(9)中 $p_i(x)$ 为监督位多项式:

$$p_i(x) = p_{i,8}x^8 + \dots + p_{i,1} + p_{i,0}. \quad (10)$$

根据式(8)~(10)生成矩阵 \mathbf{G} 即可以描述为:

$$\mathbf{G} = [\mathbf{I}_{502} : \mathbf{P}_{502 \times 9}] = \begin{bmatrix} 1 & 0 & \dots & 0 & P_{501,8} & \dots & P_{501,0} \\ 0 & 1 & \dots & 0 & P_{500,8} & \dots & P_{500,0} \\ & & & & \dots & & \\ 0 & 0 & \dots & 1 & P_{0,8} & \dots & P_{0,0} \end{bmatrix}, \quad (11)$$

式(11)中生成矩阵 \mathbf{G} 为 511×502 阵列,是由 502×502 的单位矩阵和 502×9 的监督矩阵构成,分别记作 \mathbf{I}_{502} , $\mathbf{P}_{502 \times 9}$,因此对生成矩阵式(11)的求解转化为求监督矩阵 $\mathbf{P}_{502 \times 9}$ 。根据生成多项式(4)监督位多项式计算如下:

$$\begin{aligned} p_{501}(x) &\equiv x^{501} \equiv x^8 + x^3 \pmod{x^9 + x^4 + 1} \\ &\dots\dots \\ p_1(x) &\equiv x^{10} \equiv x^5 + x \pmod{x^9 + x^4 + 1} \\ p_0(x) &\equiv x^9 \equiv x^4 + 1 \pmod{x^9 + x^4 + 1}. \end{aligned} \quad (12)$$

联立式(10)、(11)、(12),监督矩阵 $\mathbf{P}_{502 \times 9}$ 中所有元素得到求解。式(12)监督位多项式各项系数求解过程用 C 语言表述如图 1 所示。

```

Step1: 初始化生成矩阵:
for(j=0; j<9; j++) {
    if( (j=0) || (j=4) ) G[0][j]=1;
    else G[0][j]=0;
}
Step2: 产生生成矩阵:
for(i=1; i<502; i++){
    for(j=0; j<9; j++){
        if(j=0) G[i][0]=G[i-1][8];
        else if (j=4) G[i][4]=G[i-1][3] G[i-1][8];
        else G[i][j]=G[i-1][j-1];
    }
}

```

图 1 生成矩阵实现算法

Fig. 1 Generating matrix realization algorithm

获得生成矩阵后,最后根据式(8)将码字 $\mathbf{c}_i = (m_{i,501}, m_{i,500}, \dots, m_{i,0}, c_{i,8}, \dots, c_{i,1}, c_{i,0})$ 中的 9 个监督位一一求解,计算算法推导如式(13)所示。

$$\begin{aligned} c_{i,j} &= m_{i,0} p_{0,j} + m_{i,1} p_{1,j} + \dots + m_{i,501} p_{501,j} \\ &= \sum_{l=1}^{501} m_{i,l} p_{l,j} \quad j = 0, \dots, 8. \end{aligned} \quad (13)$$

可见,通过式(13)仅需进行 9 个二元域下的运算即可完成编码运算。

在实际操作中,(511,502)系统循环码生成矩阵可以在控制程序初始化时完成,显示图片每转化一次显示数据后,即可通过式(13)来计算监督位。

为验证编码效果,根据图 1 通信协议将显示数据分别用 1 至 50 的自然数来填充,同时考虑到每一字节数据都需要考虑起始位和停止位,这样输入编码器的数据实际是 10 位数字序列 3,5,7...101。经编码后结果为 H1B2,因而图 1 通信协议中的第 55 字节为 H6C,第 56 字节为 H80 (不考虑帧结束位),这一组数据及编码结果将用于后续的译码器验证中。

4.2 (511,502)系统循环译码电路设计与实现

循环译码器虽然具有清晰的解码结构,但是由于(511,502)系统循环码码长较长,且在 FPGA 中实现灵活度较低,译码算法的硬件实现需要考虑的因素较多。电路设计不仅要求硬件开销较低,而且要求译码速度较快,电路设计具有一定的难度,且这样规模码长的循环码相关的参考文献并不多,需要借鉴前人工作基础,还需要进行综合分析才能获得。

4.2.1 纠错译码电路实现方法研究

假设某一帧显示信息 $c_i(x)$ 在数据传输过程中产生错误,在显示信息接收端获得接收码 $r_i(x)$ 。接收码 $r_i(x)$ 相当于在信息码 $c_i(x)$ 叠加了错误图样 $e_i(x)$,如式(14)所示:

$$r_i(x) = c_i(x) + e_i(x). \quad (14)$$

循环码纠错译码是式(14)的反过程,其方法是从接收码 $r_i(x)$ 中解析出错误图样来推得信息码 $c'_i(x)$,通过译码器输出纠错后的码字为:

$$c'_i(x) = r_i(x) - e_i(x). \quad (15)$$

因而,循环码译码的关键在于计算出错误图样 $e_i(x)$ 。一般地,循环码的错误图样并不是直接获得的,而是通过伴随多项式 $s_i(x)$ 来找出。

循环码的伴随式计算电路就是一个 $g(x)$ 的除法电路,伴随式 $s_i(x)$ 是 $g(x)$ 除 $r_i(x)$ 后所得的余式。循环码的伴随式及错误图样与接收码关系可以用式(16)来说明。

$$s_i(x) \equiv c_i(x) + e_i(x) \equiv e_i(x) \pmod{g(x)}. \quad (16)$$

式(16)及式(15)将译码电路划分为伴随式计算和纠错两个步骤,在进入纠错工作前需要先获得伴随多项式。结合实际,下面针对译码电路这两个步骤来研究电路设计的难点问题和实现方法。

考虑到显示信息是以串行方式接收的,伴随式计算必须等到所有显示信息接收完毕后才能完成计算,伴随式计算采用并行运算结构并不能表现出比串行运算结构更高的实时性,反而并行运算结构电路结构会过于庞大。因而,伴随式计算电路采用串行运算结构,如图 2 是根据式(4)中 $g(x)$ 设计的除法运算电路,采用该结构仅仅需要较少的逻辑单元即可完成伴随式计算,接收数据 D_{in} 只需按移位时钟 clk 移入伴随多项式计算电路,伴随式计算和数据接收同步进行,当数据接收完成的同时伴随式计算完毕。

接下来讨论纠错功能的实现。纠错码译码设备的复杂性,主要决定于由伴随式找出错误图样的识别电路或组合逻辑电路的复杂性。若(511, 502)系统循环码的错误图样多项式 $e_i(x)$ 用式(17)来表示:

$$e_i(x) = e_{i,510}x^{510} + \dots + e_{i,1}x + e_{i,0}, \quad (17)$$

则可知采用并行纠错结构,电路需要同时输

出 511 路信号来指出错误位置,实时性较好,但电路结构过于繁杂。若采用串行纠错结构,只需在移位时钟控制下将以上伴随多项式计算结果在图 2 电路中循环移位 511 次即可生成 511 种位置信息,并且伴随式计算和纠错 2 个步骤运算电路可以复用,电路设计开销较低。但后者纠错过程需要 511 个移位时钟,实时性较低。考虑到伴随式计算和纠错是两个相对独立的过程,伴随式计算和纠错电路可以采用不同时钟,即数据接收时以通信波特率的时钟,而在译码过程采用高速时钟(如晶振时钟),这样因纠错过程产生的延时可以变得非常有限。

上述双时钟串行循环译码结构既解决了电路设计资源限制的问题,又解决了译码器工作的实时性问题。由于(511,502)系统循环码码长较长,整个纠错译码过程都采用串行移位结构,数据串行处理中的接收、存储、读取与算法实现及数据同步等细节问题需要进行合理规划和细心调试来解决^[12]。

下面根据纠错译码过程的 2 个步骤来论述伴随多项式计算功能模块、纠错功能模块的具体实现过程。

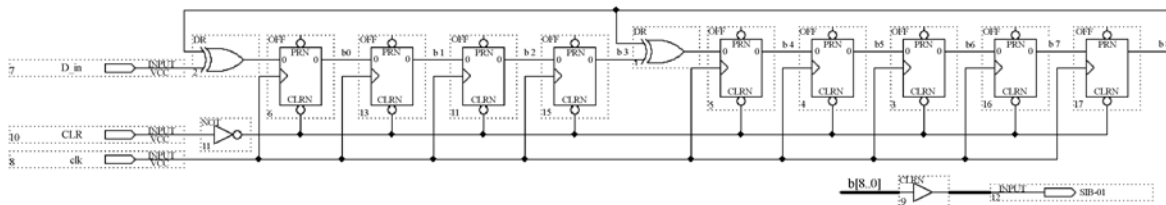


图 2 (511,502)系统循环码伴随多项式计算电路

Fig. 2 Syndrome polynomial computing circuit of (511,502) systematic cyclic codes

4.2.2 伴随多项式计算功能模块实现

伴随多项式计算功能模块用来对接收数据进行伴随式计算及存储,该模块由伴随式计算与存储电路、存储地址产生与状态指示电路 2 部分构成。

伴随式计算与存储电路如图 3 所示,包括伴随多项式计算电路 $Cyc_Decoder$ 、10 位串并转换电路 $SinPout_10b$ 、 64×10 随机存储器 $Receive_Buffer$ 。这里根据电路的工作顺序来说明各部分电路的功能和设计思路。

当检测到接收数据包中的同步字后,电路正

式开始工作,CLR 有效导致电路复位,控制逻辑进入数据接收状态。此时二选一电路 $Clock_Sel$ 选择输出时钟 $Rclk$,在 $Rclk$ 的作用下,接收信息位 $r_i = (r_{i,0}, r_{i,1}, \dots, r_{i,510})$ 通过串行数据输入端 RXD 逐位移入 $Cyc_Decoder$ 进行伴随多项式运算。

接收信息位的多项式 $r_i(x)$ 用式(18)来表示,其描述了接收信息位输入 $Cyc_Decoder$ 的先后顺序,接收端最先接收的信息位 $r_{i,510}$ 最先输入,其次是 $r_{i,509}$,依次类推。

$$r_i(x) = r_{i,510}x^{510} + \dots + r_{i,1}x + r_{i,0}. \quad (18)$$

当 Rclk 经过 511 个时钟后,接收信息位全部移入 Cyc_Decoder,伴随多项式计算完毕,在 Cyc_Decoder 输出端 s[8..0]即可读出结果,其多项式形式 $s_i(x)$ 如式(19)所示:

$$s_i(x) = s_{i,8} x^8 + \dots + s_{i,1} x + s_{i,0}. \quad (19)$$

数据移入 Cyc_Decoder 进行伴随多项式计算,同时移入 SinPout_10b 进行串并转换,每完成一次串并转换,都通过写同步信号 clk_WR 将转换结果 WR_D[9..0]存储到存储器 Receive_Buffer 中,直到一帧显示信息都存储完毕。

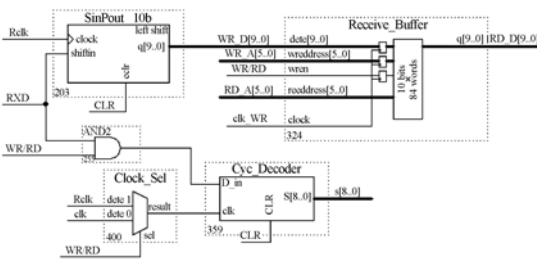


图 3 伴随式计算及数据存储电路

Fig. 3 Syndrome computing and data storing circuit

图 3 中 Rclk 为 RXD 的采样时钟(上升沿有效),Rclk 的频率与数据发送端波特率时钟一致且与接收数据位相同步。注意到表 2 通信协议中监督位被第 55 字节的停止位和 56 字节的起始位分隔,因而通过空缺 Rclk 的第 510 和 511 个时钟来丢弃这两位,这样保证了移入串并转换电路 SinPout_10b 和伴随多项式计算电路 Cyc_Decoder 数据的连续性。

图 3 为数据接收过程,接收数据按从低地址向高地址的存储方法存储到存储器 Receive_Buffer 中,存储地址、存储时序的产生,以及存储操作是否完成,是通过存储地址产生与状态指示电路来实现的,电路如图 4 所示。

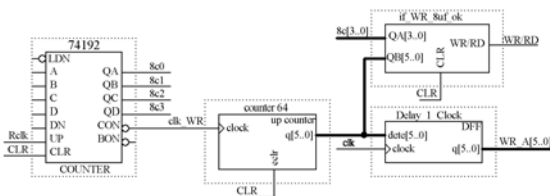


图 4 存储地址产生与状态指示电路

Fig. 4 Storing address generating and status indicating circuit

图 4 中,当接收信息开始时,每接收 1 位信息,十进制计数器 74192 计数增加 1,经过 10 个 Rclk 时钟后,图 3 串并转换电路 SinPout_10b 完成 10 位数的串并转换。完成串并转换的同时 74192 产生进位信号使得写地址计数器 counter64 增加 1,该信号也被作为写同步信号 clk_WR。

图 3 中准备好的数据 WR_D[9..0]还未写入存储器,图 4 counter64 地址已经增加 1,因而,电路采用 6 个 D 触发器 Delay_1_Clock 对 counter64 产生地址延时一个 clk 时钟节拍,这样,即可将 SinPout_10b 输出的数据 WR_D[9..0]在 WR_A[5..0]还未增加时写入,一次数据存储操作完成。

当包括监督位在内的 511 位信息都接收完毕后,伴随多项式计算完成,数据存储完毕,正式进入纠错译码工作,存储器 Receive_Buffer 从写状态切换到读状态。图 4 中的 if_WR_Buf_ok 模块是用来指示这个状态变化的,当 Rclk 在第 511 个时钟节拍,即当计数器输出 WR_A[5..0]为 52, Bc[3..0]为 1 时,该模块的输出 WR/RD 由高电平变成低电平。在数据接收过程 if_WR_Buf_ok 模块的输出 WR/RD 一直维持高电平,存储器 Receive_Buffer 处于写状态。当数据接收完毕时,WR/RD 输出低电平,切换到存储器读状态。

4.2.3 纠错功能模块实现

当图 4 中 if_WR_Buf_ok 模块输出低电平时,图 3 伴随多项式计算电路 Cyc_Decoder 数据输入端 D_in 的数据输入被关闭,二选一电路 Clock_Sel 切换到高速时钟 clk,伴随多项式随着 clk 时钟节拍在伴随式计算电路 Cyc_Decoder 中循环移位,纠错功能模块开始工作。纠错功能模块由纠错及输出电路、读地址产生电路及纠错结果锁存电路两部分构成。

图 5 为纠错及输出电路,用来判定数据位中的错误位置,并将纠错结果输出,包括检错电路 Err_detect、串并转换电路 PinSout_10b 和异或门构成的纠错电路、串并转换电路 SinPout_10b 构成的输出电路 3 部分。

进入纠错功能后,检错电路 Err_detect 通过 WR/RD 信号被使能,同时暂存在 Receive_Buffer 中的数据同步读出,读取数据 RD_D[9..0]输入到 10 位串并转换电路 PinSout_10b 进行串并转

换,以此同步与伴随式的移位输出。当错误检测电路 Err_detect 的输出 Err_Bit 为高电平,正好对应 PinSout_10b 移出的 Code_cyc 错误位,Err_Bit 与 Code_cyc 进行异或运算即完成错误纠正。

另外,当伴随多项式计算电路输出 $s[8..0] = H000$ 时,表示数据传输没有错误,错误图样检测电路的输出 Err_Bit 保持为低电平;当 $s[8..0] \neq H000$ 时,但循环一周后仍未发现错误,则认为出现无法纠正的错误,则要求重发。

在电路纠错过程中,已经纠错译码的数据需要输出到大屏幕显示存储器中存储,因而,需要再一次进行串并转换,即将循环译码后的数据串行移动入串并转换电路 SinPout_10b 中,完成串并转换。

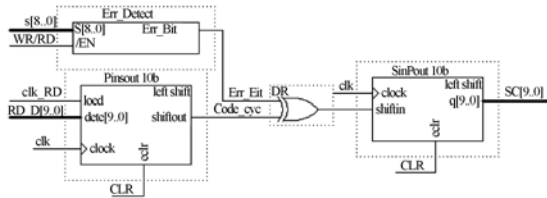


图 5 纠错及输出电路

Fig. 5 Error correction and output circuit

可见图 5 中检错电路 Err_detect 能否指出错误位置成为了纠错译码电路的关键。假设纠错开始时,伴随多项式计算电路 Cyc_Decoders 的第一次循环输出和最先接收的信息位 $r_{i,510}$ 同步输出,并且 $r_{i,510}$ 发生了错误,则此时伴随多项式计算电路 Cyc_Decoders 的输出端 $[8..0]$ 输出值为 H108,对应的伴随多项式为式(20)。如果是第 2 个接收位发生错误,则需要花费 2 个时钟 $s[8..0]$ 才能输出 H108。

$$s_i(x) \equiv x^{510} \equiv x^8 + 1 \pmod{x^9 + x^4 + 1}. \quad (20)$$

但是,由于串并转换电路 PinSout_10b 的装载信号 clk_RD 是在 WR/RD 信号为低电平时第 10 个 clk 时钟才出现,数据从缓存 Receive_Buffer 读出后,伴随式多项式 Cyc_Decoder 实际已经循环了 10 个 clk 时钟周期,因而,错误实际对应的位置是 $x^{510} \cdot x^{10}$,联立式(20)当伴随多项式计算电路输出 $s[8..0]$ 为 H011 时,表示当前为数据传输中发生错误的位置。

$$s_i(x) \equiv x^{510} \cdot x^{10} \equiv x^9 \equiv x^4 + 1 \pmod{x^9 + x^4 + 1}. \quad (21)$$

根据上述分析及式(21),错误检测电路 Err_

detect 只需要通过一个与门电路即可完成对错误位的判断或伴随式到错误图样的转换。

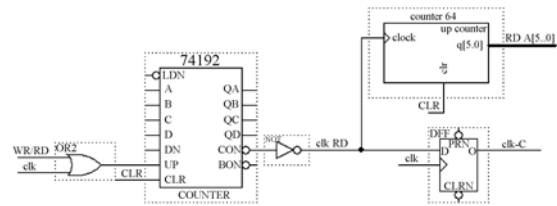


图 6 读地址产生及纠错结果指示电路

Fig. 6 Read address generating and correction result indicating circuit

在存储器 Receive_Buffer 进入到读状态后,通过 WR/RD 后使图 6 读地址产生及纠错结果指示电路开始工作。

读取存储器 Receive_Buffer 中存储数据地址,仍旧采用十进制计数器 74192 与模 64 计数器结构,74192 每计满 10 个数,counter64 增加 1,由此产生存储器 Receive_Buffer 读地址 RD_A[5..0],将暂存数据按由低到高地址顺序依次读取。

数据读取的过程,同时也是纠错的过程,纠错输出结果用 clk_C 来指示,clk_RD 延时一个时钟节拍即可获得 clk_C,用来作为图 6 输出结果 SC [9..0] 的锁存信号。

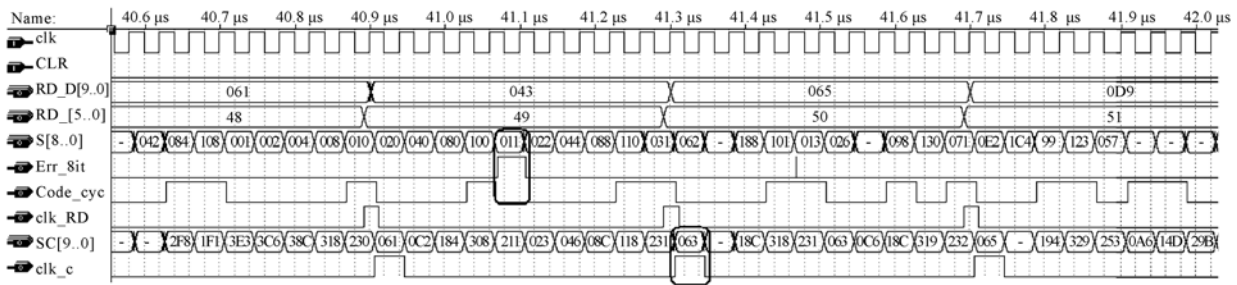
4.2.4 译码电路仿真实验

译码电路在 Quartus II 7.0 环境下进行仿真实验,电路编译后报表显示电路占用存储单元 640 位,逻辑单元 94 个,耗费资源非常少,以 Cyclone 系列的 EP1C6 为例,电路仅仅占用不到 1% 的 EP1C6 存储容量,逻辑单元的 2%。下面分析电路的纠错译码效果及时间消耗。

当发送端第 49 个显示数为 H063,假设数据在传输过程中发生 1 位错误,变成 H043。由图 7 仿真可看出经过上述电路后,Err_Bit 在高电平时指出错误位发生的位置。clk_C 为高电平时 SC [9..0] 的输出为纠错后的结果,如图所示,当读入 H061 时,输出 H061,读入 H043 时,输出 H063,说明经过纠错电路后译码电路纠错成功。

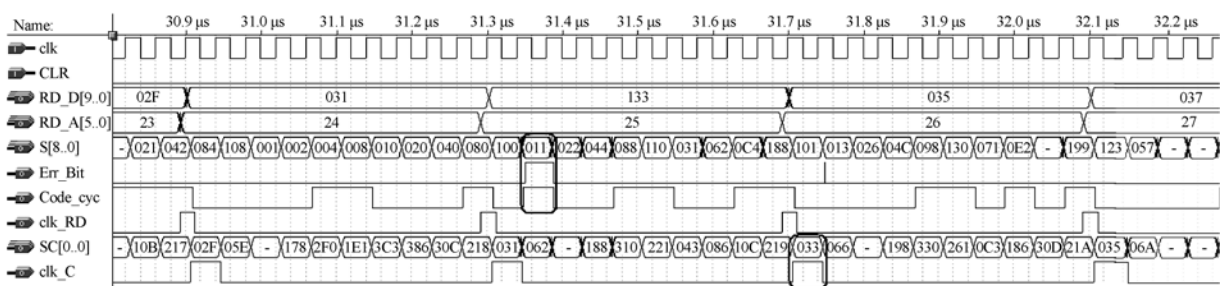
同样的,信息位发生由 0 变成 1 的错误时,若发送端第 25 个显示数据为 H033,在数据传输过程发生错误,变成 H133,如图 8(b) 中的 RD_A [5..0]=25,H133 被纠正为 H033。

电路仿真实验说明,本文提供的编解码方案能够达到功能设计要求。



(a) 信息位发生 1 变成 0 的错误

(a) Information bit error occurs when 1 is changed to 0



(b) 信息位发生 0 变成 1 的错误

(b) Information bit error occurs when 0 is changed to 1

图 7 (511,502)系统循环译码电路时序仿真

Fig. 7 Timing simulation of (511,502) systematic cyclic coding/decoding circuit

另外,在仿真过程中,纠错时钟频率 clk 设置为 25 MHz,如果以 115 200 bps 的波特率传输显示数据,纠错功能模块所耗费的时间不及传输 3 位数据所花费的时间,因而,纠错译码模块所引起的时间消耗非常少。

5 应用分析与扩展

论文根据(511,502)系统循环码和异步串行通信协议结构特点,以双基色、点阵规格为 400×300 的 LED 大屏幕显示器设计显示信息传输通信协议,协议合理划分每一帧数据并有效利用了(511,502)系统循环码信息位中的每一位。在实际应用中,点阵规格却多有不同。这里给出了在不同显示规格下提出方案的应用思路。

对于宽度少于 400 的显示屏,可以采用缩短循环码。基本方法是对编码的 502 个信息位中前若干个连续信息位用 0 来填充,然后将该信息位 $m_i = (0, 0, \dots, 0, m_{i,n}, \dots, m_{i,0})$ 输入编码。发送数

据时,前面用 0 填充的位数不作为数据发出。在数据接收端,可以通过修改图 2 和图 3 中计数器的初始计数值的方法来忽略这些 0 填充位。上述方法只需给地址计数器预置一个合适的初始值,电路也仅需要较少的修改。因为是对信息位进行缩短,而缩短循环码的监督位数目与原循环码相同,因而缩短码的汉明距离和纠错能力不会低于原循环码。

对于宽度大于 400 的显示屏,如 500 以内的显示屏(事实上这样规格的显示屏已经能够满足较大多数的应用),502 位可以全部作为显示信息位,而编码时每字节的起始位和停止位不参与编码,因而在显示宽度为 500 以内的显示屏,本文提供方案只需要稍做改动即可。

6 结论

本文针对 LED 大屏幕显示器远程显示信息通信系统信道、显示信息发送与接收端硬件特

点,设计了一套基于(511,502)系统循环码纠错系统的软硬件方案,以解决显示信息高速率串行传输数据传输可靠性降低的问题。由于有关这样规模码长的循环码编码,特别是译码实现的参考文献并不多见,论文结合显示控制系统特点解决了一系列难点问题,以较低的软硬件

开销实现了高效率的编解码方案。实践以及理论分析证明,论文设计方案对提高远程显示控制系统通信效率具有积极意义,可以有效地降低误码率,并提高通信系统的噪声容限。论文为显示控制系统数据通信类似应用提供了一套完整而成熟的差错控制方案。

参考文献:

- [1] 张学成. 基于电力线载波模块的LED点阵图文显示系统[J]. 液晶与显示, 2011, 26(3): 350-353.
ZHANG X C. LED Dot-matrix display based on power line carrier[J]. *Chinese Journal of Liquid Crystals and Displays*, 2011, 26(3):350-353. (in Chinese)
- [2] 迟学芬,张伟. 802.16d系统的视频跨层容错传输机制[J]. 光学精密工程, 2011,19(9): 2163-2168.
CHI X F, ZHANG W. Video error-resilient transmission mechanism using cross-layer design in 802.16.d system[J]. *Opt. Precision Eng.*, 2011, 19(9): 2163-2168. (in Chinese)
- [3] 李成,王鹏,丁天怀,等. RS_485总线的高速串行远距离数据传输方法[J]. 清华大学学报(自然科学版) 2009,49(5): 68-70.
LI CH, WANG P, DING T H, et al.. RS-485 bus-based high-speed serial remote data transmission method[J]. *J Tsinghua Univ(Sci & Tech)*, 2009,49(5):68-70. (in Chinese)
- [4] 徐志跃,张田甜. 高速串行数据通讯电路设计及应用[J]. 计算机测量与控制,2009,17(6):1192-1194.
XU ZH Y,ZHANG T T. Design and applications of high speed serial communication [J]. *Computer Measurement & Control*, 2009, 17(6):1192-1194. (in Chinese)
- [5] 刘亮亮,蒋彭龙. 一种高可靠串行通信协议研究及其控制器IP核设计[J]. 航天控制,2010,28(4):59-62.
LIU L L, JIANG P L. The study and IP core implementation of the high-reliable serial communication protocol and its controller [J]. *Aerospace Control*, 2010,28(4): 59-62. (in Chinese)
- [6] 孙科达,石旭刚,史故臣,等. 一种新的8B/10B编解码方案设计与实现[J]. 光通信技术,2009,33(7): 27-30.
SUN K D, SHI X G, SHI G C. A new method of design and implementation on 8B/10B encoding and decoding[J]. *Optical Communication Technology*, 2009, 33(7):27-30. (in Chinese)
- [7] 雷斌,王宁,仇平,等. FPGA的汉明码数据传输系统的设计[J]. 西安工业大学学报, 2009,29(6):560-563.
LEI B, WANG N, QIU P, et al.. Transmission system of data with hamming code based on FPGA [J]. *Journal of Xi'an Technological University*, 2009, 29(6):560-563. (in Chinese)
- [8] 毕占坤,张羿猛,黄芝平,等. 基于逻辑设计的高速CRC并行算法研究及其FPGA实现[J]. 仪器仪表学报,2007,28(12): 2245-2249.
BI Z K,ZHANG Y M,HUANG Z P, et al.. Study on CRC parallel algorithm and its implementation in FPGA [J]. *Chinese Journal of Scientific Instrument*, 2007,28(12) :2245-2249. (in Chinese)
- [9] 尹柱霞,郑喜凤,于洪涛,等. ARM+FPGA控制的LED脱机屏系统设计[J]. 液晶与显示, 2010,25(2): 262-267.
YIN ZH X, ZHENG X F, YU H T. Design of LED off-line screen system based on ARM+FPGA control [J]. *Chinese Journal of Liquid Crystals and Displays*, 2010, 25(2): 262-267. (in Chinese)
- [10] 孙科林,周维超,吴钦章,等. 高速实时光纤图像传输系统的实现[J]. 光学精密工程, 2011,19(9): 2228-2231.
SUN K L,ZHOU W CH, WU Q ZH, et al.. Realization of high-speed real-time optical filter image transmission system [J]. *Opt. Precision Eng.*, 2011,19(9): 2228-2231. (in Chinese)
- [11] 孙卓,权笑,王文博,等. 采用分组纠错编码的多接入传输分集方法[J]. 北京邮电大学学报, 2009, 32(5): 6-9.
SUN ZH, QUAN X, WANG W B. A method of multi radio transmission diversity with packet level forward error correction [J]. *Journal of Beijing University of Posts and Telecommunications*,

2009, 32(5): 6-9. (in Chinese)

- [12] 柴先明, 彭耿, 师栋锋, 等. 基于匹配搜索的伪随机序列生成多项式估计[J]. 光学精密工程, 2011, 19(9): 2223-2228.

CHAI X M, PENG G, SHI D F. Generator polynomial estimation of pseudo-random sequence based on match-searching [J]. *Opt. Precision Eng.*, 2011, 19(9): 2223-2228. (in Chinese)

作者简介:



邓春健(1980—), 男, 广东乐昌人, 博士, 副教授, 2007年于中科院长春光学精密机械与物理研究所获得博士学位, 主要从事信息显示技术、嵌入式操作系统的应用方面的研究。E-mail: dcj5880870@126.com



李文生(1963—), 男, 湖南郴州人, 副教授, 硕士, 1991年于中山大学获得硕士学位, 主要从事计算机应用方面的研究。E-mail: lws7166@126.com



安源(1980—), 男, 黑龙江安达人, 博士, 副研究员, 2007年于中科院长春光学精密机械与物理研究所获得博士学位, 主要从事空间遥感器的结构及机构设计方面的研究。E-mail: any@ciomp.ac.cn



邹坤(1980—), 男, 湖北宜昌人, 博士, 讲师, 2008年于华南理工大学获得博士学位, 主要从事图形图像处理方面的研究。E-mail: cszoukun@foxmail.com



吕燧(1981—), 男, 山西大同人, 硕士, 讲师, 2006年于广东工业大学获得硕士学位, 主要从事智能控制技术、嵌入式系统方面的研究。E-mail: lvyi913001@163.com

●下期预告

3-PSS 并联机构正解及其在坐标测量机中的应用

胡鹏浩, 李松原

(合肥工业大学 仪器科学与光电工程学院, 安徽 合肥 23009)

针对传统坐标测量机和关节臂测量机存在的技术局限, 研究了一种基于 3-PSS 并联机构原理的坐标测量机, 只需要一只长光栅、一条精密导轨即可实现三维空间精密测量。对该测量系统的测量模型、测量误差模型及并联机构误差平均效应等进行了研究。首先根据并联机构基本理论建立了测量机的六杆测量模型, 在此基础上进行了杆长制造、装配误差和光栅读数误差的理论分析。然后, 从理论上展示和说明了并联机构存在误差平均效应的数学本质和依据。最后, 介绍了样机的设计及制造, 并给出初步的实验结果。在没有进行误差修正和系统标定的前提下, 该样机在 3 个坐标方向上的测量误差为: X 方向 0.029 mm, Y 方向 0.045 mm, Z 方向 0.058 mm。