

文章编号 1004-924X(2012)05-1015-07

全球卫星导航系统接收机的正交二分频器设计

尹喜珍^{1*}, 于云丰¹, 马成炎^{1,2}, 叶甜春¹

(1. 中国科学院微电子研究所, 北京 100029; 2. 杭州中科微电子有限公司, 浙江 杭州 310053)

摘要: 将全球卫星导航系统(GNSS)接收机用于手持移动设备必须降低正交二分频器等大功耗模块的功耗, 因此, 本文提出了工作于 1 V 电压以下的正交二分频器。使用提出的正交二分频器可使电路在各工艺角下高速稳定的工作, 并大大降低模块的功耗。首先, 介绍已有的高速二分频器。接着, 计算了所提出结构的直流静态偏置, 并对提出的锁存器进行小信号建模和分析。最后, 根据小信号模型分析得到的条件和 GNSS 接收机的应用要求, 设计了提出的低功耗结构。实验结果表明: 提出的二分频器最高工作频率为 6.55 GHz, 最低可工作到 0.25 GHz, 消耗电流为 0.8 mA, 占用面积为 0.014 4 mm²。提出的电路结构在 0.13 μm CMOS 工艺上实现, 可稳定工作于 1 V 电压下, 目前已成功应用于低功耗的移动 GNSS 接收机中。

关键词: 全球卫星导航系统; 电流模逻辑; 二分频器; 正交本振; 低功耗

中图分类号: TN772 **文献标识码:** A **doi:** 10.3788/OPE.20122005.1015

Design of quadrature 2 : 1 frequency divider for GNSS receivers

YIN Xi-zhen^{1*}, YU Yun-feng¹, MA Cheng-yan^{1,2}, YE Tian-chun¹

(1. *Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;*

2. Hangzhou Zhongke Microelectronics Co. Ltd., Hangzhou 310053, China)

** Corresponding author, E-mail: yinxizhen@casic.ac.cn*

Abstract: When the Global Navigation Satellite System (GNSS) receivers are applied to a portable handset, the power of the most power-hungry blocks, such as quadrature 2 : 1 frequency divider, should be reduced. Therefore, this paper proposes a 1 V low power quadrature 2 : 1 frequency divider at high speed and steady working in all process corners. First, the published high speed architectures are introduced. Then the static DC bias is calculated for the proposed architecture, and a small signal model for proposed flip-flop is developed and analyzed. Finally, a low power circuit is designed according to the analysis conditions of small signal model and the application requirements of GNSS receivers. Experimental results indicate that the proposed frequency divider works from 6.55 to 0.25 GHz, its consume current is only 0.8 mA, and the core area is 0.014 4 mm². The proposed quadrature 2 : 1 frequency divider is implemented in a 0.13 μm CMOS process, and can steadily work in a sub 1 V supply voltage. It has been successfully applied to low power portable GNSS receivers.

Key words: Global Navigation Satellite System(GNSS); current mode logic; 2 : 1 frequency divider; quadrature LO oscillator; low power

收稿日期: 2012-01-18; 修订日期: 2012-02-10.

基金项目: 国家“核高基”重大专项—01 专项资助项目 (No. 2009ZX01031-002-008); 国家 863 高技术研究发展计划资助项目 (No. 2009AA011601)

1 引言

由于全球卫星导航定位系统(GNSS)的卫星运行在离地球几千公里的轨道上,根据自由空间信道衰落理论,从地面接收到的卫星导航信号都在噪底以下,而由于地形或者障碍物的阻隔,实际接收到的信号更加微弱。近年来,不断有提高卫星跟踪和捕获灵敏度的研究报道^[1-4]。随着美国 GPS、俄罗斯 GLONASS 的商业化,欧洲 Galileo 和中国北斗二代(BEIDOU II)的快速建设并走向成熟,下一代 GNSS 接收机需接收这 4 大导航系统的信号,以便在任何时刻选取信号最强的卫星导航系统或通过不同的导航系统实现辅助定位。这要求 GNSS 接收机能够多模式多频段接收,同时 GNSS 接收机大都应用于移动便携设备,低功耗、小体积成为必要条件。而在 GNSS 信号这种 GHz 以上的通信系统中,大功率模块 VCO 和正交二分频器,成为决定系统功耗的关键模块。设计正交二分频器,在保证高速工作的同时,大大地降低功耗和节省面积已经成为移动 GNSS 接收机的挑战和难点。

为了满足低功耗的要求,降低电源电压是最有效的方式。本文提出的基于源耦合逻辑(SCL)的二分频器,考虑了工艺偏差和电源噪声共模抑制比(CMRR)的影响,使电路能够在 $0.18 \mu\text{m}$ 及以下工艺中,电源电压可降至 1 V 以下。同时引入一个钟控开关,克服已有的动态负载^[5-6]改变了电路的静态偏置点的缺点,结合比例锁存器^[7]的高速优点,在提出的小信号模型上,将工作速度的可控参数增加了 2 个维度。所提出的结构已经在 $0.13 \mu\text{m}$ CMOS 工艺上实现,测试结果验证了其工作于 1 V 以下低功耗和高速的特点。

2 已有的基于 SCL 的二分频器结构

图 1 为 SCL 二分频器原理图,由 2 个按主从关系连接的锁存器构成,每个锁存器由 2 个互补的时钟信号 CP、CN 来触发。当时钟信号 CP 端为低电平而 CN 端为高电平时,主锁存器处于锁存阶段,其锁存输出前一周期在从锁存器的输出采样得到的数据;而此时从锁存器处于采样阶段,将主锁存器的输出采样并输出;当 CP 端为高电

平而 CN 端为低电平时,主、从锁存器交换工作模式,主锁存器由锁存模式切换到采样模式,而从锁存器由采样模式切换到锁存模式。这样,输出频率为输入频率的一半,实现了二分频功能。如果主从锁存器的输出都取做输出信号,则得到四相正交信号。但是采用传统的锁存器,存在随着输入频率的增加而功耗急剧增大的问题。

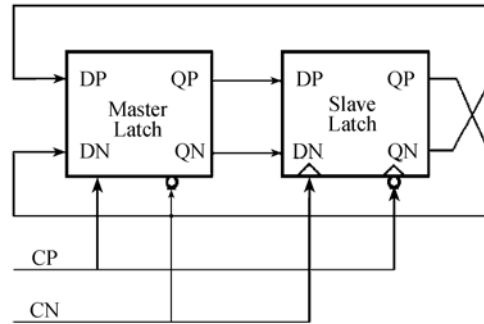


图 SCL 二分频器原理图

Fig. 1 Block diagram of SCL 2 : 1 frequency divider

Razavi, Wang 等人提出了动态负载的结构,通过在不同的时间周期内改变等效负载电阻的大小来获得高的工作速度并维持较大的输出幅度。但动态负载会改变电路的静态偏置点,导致电路无法在所有的工艺角下都稳定的工作。

Gu^[8]等人提出了伪差分的结构,相比于传统的锁存器,移去了尾电流源,通过减少一级串接的 MOS 管,使电路可以工作在 1 V 以下的电压。由于省去了电流源,使电路的工作电流由时钟控制的 MOS 管尺寸决定,该电流会随工艺角变化,电路的最高工作频率也会随工艺角有较大偏差。同时,其 CMRR 变差,更容易引入输入信号的共模噪声而增加谐波失真。

Chien^[9]等人提出了并联电流切换的结构,用时钟控制的 PMOS 对管并接来代替串接的 NMOS 对管,在保留了电流源的同时,减少了一级串接的 MOS 管,电路可工作于 1 V 以下电压。但是由于 PMOS 对管的源极直接接电源,电流源的源极接地,PMOS 对管的栅源电压(V_{GS})会产生变化,使 PMOS 对管控制的电流源切换时出现失配,进而使电路在不同的工艺角下,工作频率不稳定。

Yu^[10]等人提出了降低阈值的技术,通过增大 NMOS 管的沟长和采用正向的衬底偏置,使传

统的锁存器可以工作于 1 V 以下。但是增大沟长,相应的使 MOS 管的特征频率(f_T)降低,导致电路的最高工作频率极大的降低。同时正偏的衬底会引起闩锁效应,导致大的结电流。

3 提出的二分频器设计

3.1 电路结构

本文提出的低电压二分频器如图 2 所示,相比于传统的结构,它不需要时钟输入管,节省了一个晶体管的漏源电压 V_{ds} 。首先分析本文提出的基于源耦合逻辑(SCL)结构的二分频器所需要的最低电源电压,如果电路要正常工作,则需保证作

为尾电流源晶体管处于饱和区,假设输出信号摆幅为 0.2 V,那么电源电压:

$$V_{dd} > 0.2 + V_{GS1} + V_{ds,ts}, \quad (1)$$

其中, V_{GS1} 指采样管 MN_1 的栅源压降, $V_{ds,ts}$ 指尾电流源的漏源压降。为了保证尾电流源正常工作, $V_{ds,ts}$ 应大于 150 mV,而为了保证采样管 MN_1 的可靠打开, $V_{GS1} > V_{TN}$, V_{TN} 为 NMOS 管的阈值电压。在实际的工作中,采样管需要 100 mV 以上的过驱动电压来保证可靠工作。所以最低电源电压:

$$V_{dd, \min} = 0.2 + V_{GS1} + V_{ds,ts} = 0.2 + V_{TN} + 0.1 + 0.15 = V_{TN} + 0.45. \quad (2)$$

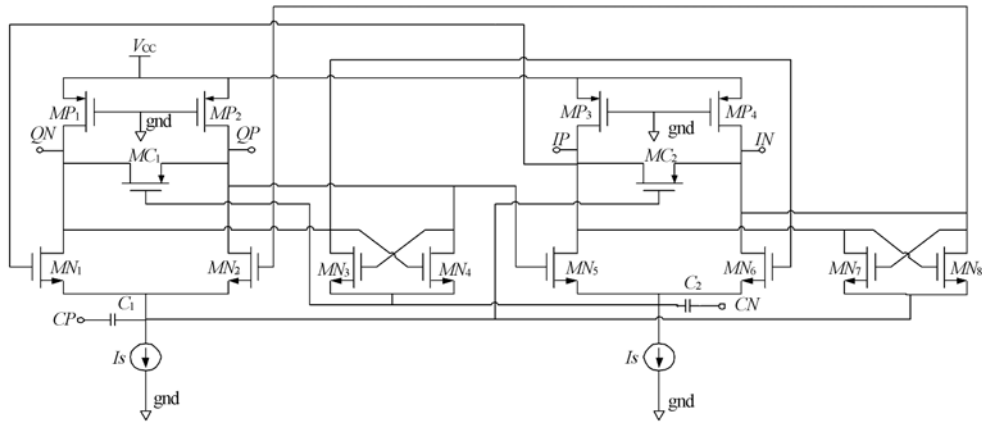


图 2 提出的低电压二分频器

Fig. 2 Proposed low voltage 2 : 1 frequency divider

在 0.18 μm CMOS 工艺中, V_{TN} 约为 0.53 V, 根据式(2)最低电源电压为 0.98 V; 在 0.13 μm CMOS 工艺中, V_{TN} 约为 0.41 V, 则 $V_{dd, \min}$ 为 0.86 V。由以上分析可知, 提出的结构在 0.18 μm 及以下工艺中, 可工作在 1 V 的电源电压下。

时钟 CP、CN 通过电容 C_1 、 C_2 耦合至主、从锁存器的采样管对和锁存管对的源极, 同时有尾电流源提供恒定的电流, 使电路在各工艺角下静态直流偏置一致, 并有很好的电源噪声共模抑制比(CMRR), 保证电路可靠稳定地工作在不同的工艺角下。提出的锁存器引入一个钟控开关连接两个输出端, 采用反向时钟信号控制: 在锁存期间, 电阻仍然保持大的阻值来提供足够的增益; 在采样期间, 电阻减小, 充放电时间减小, 大大提高了转换速度。

3.2 小信号模型建模及分析

为了充分说明所提出的静态负载源耦合逻辑锁存器结构的优势, 下面将从小信号的角度来分析。所提出的新型源耦合锁存器及其小信号等效模型如图 3 所示。通常来说, 源耦合触发器的速

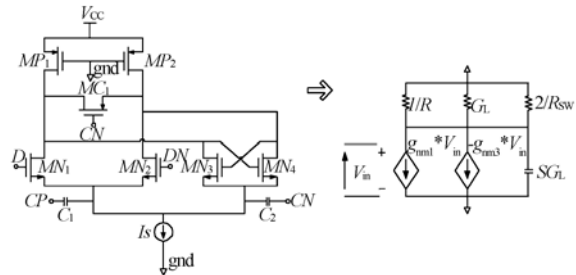


图 3 提出的锁存器及其小信号等效模型

Fig. 3 Proposed flip-flop and its equivalent small signal model

度决定为采样状态下锁存器电路的速度,所以,触发器被设定为采样状态,小信号等效电路可只分析半边电路^[11]。由图 3 推导小信号模型的传输函数,根据基尔霍夫定律,在输出节点上可以得出:

$$g_{mn1} V_{in} + SC_L V_0 - g_{mn3} V_0 + (g_{ds,mn1} + g_{ds,mn3} + 1/R + 2/R_{SW}) V_0 = 0. \quad (3)$$

由式(3)可以推导出锁存器在采样状态下,电压传输函数为:

$$A_v = \frac{V_0}{V_{in}} = - \frac{g_{mn1}}{SC_L - g_{mn3} + G_L + \frac{1}{R} + \frac{2}{R_{SW}}}, \quad (4)$$

其中:

$$G_L = g_{ds,mn1} + g_{ds,mn3}$$

式(3)、(4)中, g_{mn1} 为采样对管 MN_1 、 MN_2 的跨导, g_{mn3} 为锁存对管 MN_3 、 MN_4 的跨导, G_L 为采样管的沟道跨导 $g_{ds,mn1}$ 与锁存对管的沟道电导 $g_{ds,mn3}$ 之和, R 为作为负载电阻的 MP_1 、 MP_2 的直流等效电阻, R_{SW} 为增加的钟控开关的等效电阻, C_L 是输出节点总寄生电容以及负载电容之和。

当小信号传输函数的增益为 1 时,锁存器输出节点最高工作频率:

$$f_{out,max} = \frac{\sqrt{g_{mn1}^2 - \left(g_{mn3} - G_L - \frac{1}{R} - \frac{2}{R_{SW}} \right)^2}}{2\pi C_L}. \quad (5)$$

从式(5)可看出 MN_3 、 MN_4 组成的负阻结构产生的负跨导 g_{mn3} 用来抵销负载电阻 R 、增加的钟控开关的等效电阻 R_{SW} 、采样管的沟道跨导与锁存对管的沟道电导 G_L 。如果上述所提到的能完全抵消,则式(5)分子中第二项恰好为 0,输出节点的最高频率可简化为下式:

$$f_{out,max} = \frac{g_{mn1,avg}}{2\pi C_L}, \quad (6)$$

式(6)中 $g_{mn1,avg}$ 是采样对管 MN_1 、 MN_2 跨导 $g_{mn1}(t)$ 的平均值,因为采样差分对仅仅在时钟周期的半周期内导通, $g_{mn1,avg}$ 可以表示为:

$$g_{mn1,avg} = \frac{1}{T} \int_0^T g_{mn1}(t) dt, \quad (7)$$

式中 T 为输入时钟信号周期。

如果输入时钟信号为方波,则 $g_{mn1}(t)$ 在采样对管导通的时间周期内恒定,等于采样对管跨导的最大值 $g_{mn1,max}$ 。如果输入信号是正弦信号,那

么 $g_{mn1}(t)$ 在采样对管导通的时间周期内不恒定,也呈现出正弦波的形式。实际上,因为前级信号的产生电路和输入缓冲级有谐波失真,导致二分频器输入时钟信号近似于三角波。所以,采样对管 MN_1 、 MN_2 的跨导平均值 $g_{mn1,avg}$ 近似于采样管跨导最大值除以一个修正因子 2,也就是采样管跨导最大值的一半:

$$\begin{aligned} g_{mn1,avg} &= \frac{1}{T} \int_0^T g_{mn1}(t) dt = \\ &= \frac{1}{T} \left[\int_0^{T/2} \frac{2}{T} g_{mn1,max} t dt + \int_{T/2}^T g_{mn1,max} \left(2 - \frac{2}{T} t \right) dt \right] = \\ &= \frac{g_{mn1,max}}{2}. \end{aligned} \quad (8)$$

输出信号为输入信号的二分频信号,那么触发器能够工作的最高频率即输入信号的最高频率,为:

$$\begin{aligned} f_{max} &= 2 f_{out,max} = 2 \times \frac{g_{mn1,avg}}{2\pi C_L} = \frac{g_{mn1,max}}{2\pi C_L} = \\ &= \frac{\sqrt{2K' \left(\frac{W}{L} \right)_1 \frac{I_{ts}}{2}}}{2\pi A \times \frac{2}{3} (WL)_1 C_{ox}} = \frac{K' \left(\frac{W}{L} \right)_1 (V_{GS1} - V_{TH1})}{\frac{4}{3} \pi AC_{ox} (WL)_1} = \\ &= \frac{K' V_{od1}}{\frac{4}{3} \pi AC_{ox} L^2}, \end{aligned} \quad (9)$$

上式中, I_{ts} 为尾电流源电流, A 为一常数,是二分频的负载电容 C_L 相对于采样对管 MN_1 、 MN_2 的尺寸的比值, K' 为采样对管的跨导参数, C_{ox} 为栅沟道单位面积电容。由式(9)可知,提出结构的最高工作频率由过驱电压 V_{od1} 、最小工艺尺寸、采样对管与锁存对管的尺寸比例决定。因为 C_L 主要由锁存对管的尺寸决定,所以常数 A 也可看作是采样对管与锁存对管的尺寸之比。

3.3 电路设计

根据上节对所提出结构的小信号分析,下面对 1 V 以下的低电压二分频器进行电路设计。(1)确定最高工作频率,GNSS 信号分布为 1.1~1.6 GHz,接收机采用的架构是二倍频结构,这样 VCO 可以用更小的电感而节省芯片面积,避免 VCO 输出频率信号对射频前端如低噪声放大器、混频器等模块的干扰及影响,相位噪声可以改善 6 dB,则正交二分频器实际的工作频率最高为 3.2

GHz以上。(2)考虑到MOS管及其寄生电容的工艺偏差,以及版图寄生参数的提取比实际值要小的影响,设计时最高工作频率应大于6GHz。接着设置偏置电流,保证电路有个合适的直流静态偏置点,这里选为400 μ A,为了保证输出的幅度大于200mV,则等效的负载电阻为500 Ω ,根据电流,可以得到MP₁和MP₂的尺寸。根据简单的时间常数:

$$f \approx \frac{1}{2\pi RC} > 6(\text{GHz}). \quad (10)$$

可以确定负载电容的最大值。(3)根据偏置电流的大小,负载电容的限制条件,计算MN₁-MN₄、MC₁的尺寸,为了使工作频率最大化,MN₁-MN₄尺寸可以取小些,同时MN₁-MN₂可以取MN₃-MN₄的A倍,这样可以获得较大的过驱电压,较小的负载电容。但是低的电源电压会限制MN₁-MN₄尺寸的最小化,同时A取得过大,会使最低工作频率提高。这里过驱电压定为100mV,A取为1.2,则MN₁-MN₄的尺寸确定下来。(4)将MN₁-MN₄的尺寸代入式(9),求出最高工作频率 f_{\max} ,如果不满足要求,则增大偏置电流,重复第(2)、(3)、(4)步。最后将所确定的参数代入式(5),求出钟控管MC₁的尺寸。因为主、从锁存器电路一模一样,所以整个正交二分频器也设计好了。

4 测试结果

本文提出的正交二分频器已经在0.13 μ m CMOS工艺中实现,核心电路的面积(不包括输出缓冲级)为90 μ m \times 50 μ m。二分频器在整个GNSS接收机射频芯片中的位置如图4所示。

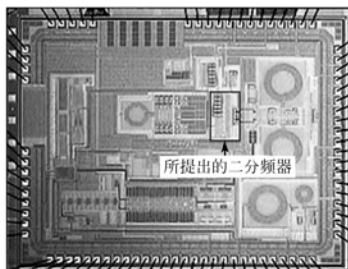


图4 二分频器显微照片

Fig. 4 Die microphotograph of proposed 2:1 frequency divider

在电源电压为1V时,本文提出的正交二分频器核心电路仅消耗0.8mA的电流,其输入灵敏度测试如图5所示,工作在0.25~6.55GHz。二分频器输出信号经输出缓冲级放大后的功率谱如图6所示,测试时输入为GPS L1信号(中心频率为1575.42MHz),输出的中频信号为4.092MHz,故频率合成器锁定后,从二分频器输出的正交本振信号应为1571.328MHz,由于参考频率的偏移,输出频率偏移了32.48kHz。

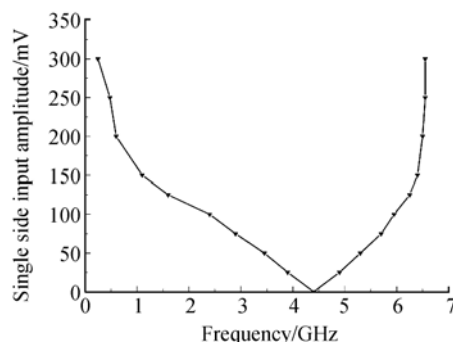


图5 二分频器输入灵敏度曲线

Fig. 5 Input sensitivity curve of proposed 2:1 frequency divider

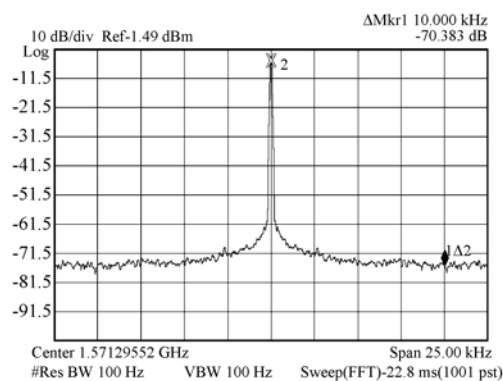


图6 二分频器的输出功率谱

Fig. 6 Proposed 2:1 frequency divider output power spectrum

表1对提出的结构与近年来发表的二分频器性能做了一个比较,品质因子FOM(Figure of Merit)一般指最高工作频率与功耗的比值,为了全面衡量二分频器的性能,FOM_{pdc}包括了工作频率范围^[12]:

$$FOM_{pdc} = 10 \log \left(\frac{f_{lock}}{f_{center}} \cdot \frac{1 \text{ W}}{P_{dc}} \right), \quad (11)$$

表 1 与近年来发表的 CMOS 二分频器性能的比较

Tab. 1 Comparison with recently published CMOS 2 : 1 frequency divider

	Process/nm	电压/V	f_{\min} /GHz	f_{\max} /GHz	功耗/mW	面积/mm ²	FOM _{P_{dc}} /dB
Proposed	130	1	0.25	6.55	0.8	0.004 5	33.8
Zhou ^[12]	180	1.8	7.5	20	4.3	0.014 4	23.3
Shu ^[13]	130	1.2	9	34	8.4	0.02	21.41
Lee ^[14]	130	1.2	2.5	5.5	0.47	0.000 6	32
Toso ^[15]	65	1.2	2	16	1.92	0.000 13	29.1

其中, f_{lock} 指分频器工作频率范围, f_{center} 指工作的中心频率, P_{dc} 指直流功耗。据作者所知, 所提出的二分频器在 0.13 μm CMOS 工艺上制造, 所获得的 FOM_{P_{dc}} 优于当前已报道的二分频器。

5 结 论

本文提出了一种工作于 1 V 电压以下的低功耗正交二分频器结构, 该结构保留了尾电流源, 对

电源噪声有很好的共模抑制能力。提出了带钟控开关的锁存器结构, 使电路高速工作的同时克服了动态负载结构工作点不稳定的问题。基于提出的小信号模型的分析, 对提出的电路进行设计, 在 0.13 μm CMOS 工艺上实现。测试结果证明: 该电路最高可工作到 6.55 GHz, 工作范围为 96%, 在 1 V 的电压下功耗仅为 0.8 mW, 占用面积为 0.014 4 mm²。所提出的正交二分频器已成功应用于 GNSS 接收机射频芯片中。

参考文献:

- [1] 廉明, 韩振宇, 富宏亚. 自抗扰技术在卫星姿态模拟系统中的应用 [J]. 光学 精密工程, 2010, 18(3): 617-622.
- LIAN M, HAN ZH Y, FU H Y. Application of active disturbances rejection control technique to satellite attitude simulation system [J]. *Opt. Precision Eng.*, 2010, 18(3): 617-622 (in Chinese)
- [2] 张晚安, 逯亮清, 杨彪. 应用延长基线法实现北斗双星的快速定向 [J]. 光学 精密工程, 2010, 18(11): 2462-2466.
- ZHANG X A, LU L Q, YANG B. Fast orientation of Beidou bi-satellite by extending baseline [J]. *Opt. Precision Eng.*, 2010, 18(11): 2462-2466. (in Chinese)
- [3] 张利宾, 崔乃刚, 吕世良, 等. 运载火箭上面级惯性与天文组合导航系统设计 [J]. 光学 精密工程, 2010, 18(11): 2474-2480.
- ZHANG L B, CUI N G, LV SH L, *et al.*. Design of INS/CNS integrated navigation system for launch vehicle upper stage [J]. *Opt. Precision Eng.*, 2010, 18(11): 2474-2480 (in Chinese)
- [4] 张沛露, 郭立红, 王建军, 等. 单站车载光电跟踪设备预测卫星轨道的误差修正 [J]. 光学 精密工程, 2011, 19(1): 65-68.
- ZHANG P L, GUO L H, WANG J J, *et al.*. Error correction of satellite orbit predicted by vehicle-borne tracking and position device [J]. *Opt. Precision Eng.*, 2011, 19(1): 65-68. (in Chinese)
- [5] RAZAVI B, LEE K F, YAN R H. A 13.4-GHz CMOS frequency divider [C]. *IEEE International Solid-State Circuits Conference, San Francisco, 1994: 176-177.*
- [6] WANG H M. A 1.8 v 3 mW 16.8 GHz frequency divider in 0.25 μm CMOS [C]. *IEEE International Solid-state circuits Conference, San Francisco, 2000: 196-197.*
- [7] SINGH U, GREEN M. Dynamics of high-frequency CMOS dividers [C]. *IEEE International Symposium on Circuits and Systems, Scottsdale, Arizona, 2002: 421-424*
- [8] GU Z, THIEDE A. 18 GHz low-power CMOS static frequency divider [J]. *Electronics Letters*, 2003, 39(20): 1433-1434.
- [9] CHIEN J C, LU L H. Ultra-Low-Voltage CMOS Static Frequency Divider [C]. *IEEE Asian Solid-State Circuits Conference, Hsinchu, 2005: 209-212.*
- [10] YU S A, KINGET P. A 0.65-V 2.5-GHz Fractional-N Synthesizer With Two-Point 2-Mb/s GF-

- SK Data Modulation [J]. *IEEE J Solid-state circuits*, 2009,44(9):2411-2425.
- [11] WONG M C, CHEUNG S L, LUONG H C. A 1-V 2.5-mW 5.2-GHz frequency divider in a 0.35- μm CMOS process [J]. *IEEE Journal of Solid-State Circuits*, 2003, 38(10):1643-1648.
- [12] ZHOU C Y, ZHANG L, ZHANG L, *et al.*. Injection-locking-based power and speed optimization of CML dividers [J]. *IEEE Transactions on Circuits and Systems*, 2011,58(9):565-569.
- [13] SHU R, SUBRAMANIAN B, BOECK G. Millimeter-wave static frequency divider in 0.13 μm CMOS technology [C]. *IEEE 9th International New Circuits and Systems Conference (NEW-CAS)*, Bordeaux, 2011:418-421.
- [14] LEE J, PARK S Y, CHO S H. A 470-W 5-GHz digitally controlled injection-locked multi-modulus frequency divider with an in-phase dual-input injection scheme [J]. *IEEE Transactions on VLSI Systems*,2011,19(1):61-70.
- [15] TOSO S D, BEVILACQUA A, TIEBOUT M, *et al.*. An integrated divide-by-two direct injection-locking frequency divider for s bands through ku [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2010,58(7):1686-1695.

作者简介:



尹喜珍 (1983—),男,湖南长沙人,博士研究生,主要从事射频集成电路和高性能频率合成器、高速收发器中时钟产生和恢复方面的设计与研究。E-mail: yinxizhen@casic.ac.cn



于云丰 (1982—)男,安徽蚌埠人,博士,助理研究员,2010年于中国科学院微电子研究所获得博士学位,主要从事CMOS射频电路和基于锁相环的频率合成器、无线收发机系统、低功耗PLL型频率合成器的研究与设计。E-mail: yuyunfeng@casic.ac.cn

导师简介:



马成炎 (1963—)男,江苏南通人,研究员,博士生导师,1992年于上海交通大学获得硕士学位,主要从事模拟射频集成电路和无线通信系统的设计及研究。E-mail:machengyan@casic.ac.cn



叶甜春 (1965—)男,四川绵阳人,研究员,博士生导师,1986年于复旦大学获得学士学位,1992~1993年为日本理化学研究所访问学者,主要从事集成电路设计及制造技术、新型器件及微细加工技术领域的研究。E-mail:tcye@casic.ac.cn