

文章编号 1004-924X(2012)07-1603-08

超高分辨率 CCD 成像系统的设计

许文海*, 吴厚德

(大连海事大学 信息科学技术学院, 辽宁 大连 116026)

摘要:介绍了基于 50 Mpixel 超高分辨率全帧型 CCD 芯片 KAF50100 的成像系统设计方法。该系统采用幕帘式焦平面机械快门对 CCD 进行曝光控制, CCD 输出图像信号在专用模拟前端(AFE)芯片 AD9845B 中进行处理和模数(A/D)转换后,经现场可编程门阵列(FPGA)缓存和排序,通过低压差分信号(LVDS)接口发送至上位机。系统中所有驱动时序和控制信号均由 FPGA 产生,上位机通过 RS422 总线对系统进行命令控制。针对 KAF50100 四路输出不均匀性问题提出了基于最小二乘法拟合的校正方法。实验验证表明,系统可在 KAF50100 的最大速度模式下工作,像素读出速度为 4×18 MHz,最大帧速为 1 frame/s,电路读出随机噪声为 $2.76@12\text{bit}$,动态范围为 63.4db。该成像系统设计方法可以充分发挥 KAF50100 的性能,并且具有良好的通用性和扩展性,可以广泛应用于超高分辨率 CCD 成像系统的设计中,如可见光水下探测、卫星遥感、天文观测等。

关键词:超高分辨率;成像系统;电荷耦合器件;KAF50100;现场可编程门阵列

中图分类号:TN386.5;P754.4 **文献标识码:**A **doi:**10.3788/OPE.20122007.1603

Design of ultra-high resolution CCD imaging systems

XU Wen-hai*, WU Hou-de

(College of Information Science and Technology, Dalian Maritime University, Dalian 116026, China)

* Corresponding author, E-mail: whxu@dlmu.edu.cn

Abstract: A design method for ultra high resolution image systems based on full frame CCD KAF50100 was proposed, in which a mechanical rolling shutter was adopted to control the exposure. The Analog Front End (AFE) chip AD9845B was used to process and digitize the analog output of KAF50100 and the digital image signal from the AFE was buffered and arranged in a block ram of Field Programming Gate Array(FPGA), then was sent out through a Low Voltage Differential Signaling(LVDS) interface. All the control signals and drive timing signals were generated by the FPGA and the RS422 interface was used to receive command and upload the status of system. The least square method was adopted to correct the non-uniformity from four analog outputs of the CCD sensor. Experiment shows that the CCD sensor KAF50100 can work at a top output speed, its pixel output rate is 4×18 MHz, and the maximum frame rate, output noise and the dynamic range are 1 frame/s, $2.76@12\text{bit}$ and 63.4 dB, respectively. With better flexibility and extendibility, this design method can be widely used in ultra high resolution imaging fields like visible light underwater detection, satellite remote sensing and astronomical observation.

Key words: ultra-high resolution; imaging system; CCD; KAF50100; Field Programming Gate Array(FPGA)

收稿日期:2012-03-23;修订日期:2012-04-10.

基金项目:国家科技支撑计划资助项目(No. 2009BAG18B03);大连海事大学重大科研培育资助项目(No. 2012TD006)

1 引言

随着水下偏振成像技术、水下图像预处理和后处理技术的发展,可见光成像系统作为水下探测核心设备的地位得到进一步提高^[1],而与此相对应的水下可见光成像系统的像素分辨率仅在千万级别徘徊。CCD 图像传感器作为成像系统的核心器件,以光电灵敏度高、动态范围大、读出噪声低、空间分辨率高等优点在水下探测、海洋测绘及其它领域获得广泛应用^[2-4]。CCD 器件的像素分辨率是其重要的性能指标,更高的像素分辨率是更强探测能力的前提。目前,50 Mpixel 级别的 CCD 芯片早已问世,但国内在这一级别的成像产品仍是空白,国外也只有哈苏公司具备成型产品,且其仅应用于专业摄影,无法满足日益增长的水下探测的需求。因此,超高分辨率 CCD 成像系统的实现具有重要的现实意义。

不同于 CMOS 传感器,CCD 在像素数量增加的同时将对其驱动电路、读出速度以及后续数据处理提出挑战。目前国内外针对高分辨率成像系统的研究也有不少报道^[5-8],CCD 芯片本身像素分辨率最高的当属文献^[5-6]中论述的基于 FTF4052 的 22 Mpixel 高分辨率成像系统,但是这两个系统都使用了针对 FTF4052 的时序产生芯片和驱动芯片,这使其设计丧失了通用性和扩展性。另外,文献^[5]中使用单片机作为控制芯片,但单片机并不在图像信号的通路上,从 AFE 得到的数字图像直接通过 LVDS 接口转换芯片 DS90CR287 发送至系统外,单片机无法对图像进行任何处理。此外,单片机的处理能力弱,即使在图像信号通路上,也没有多少处理能力的裕量。

本设计基于柯达公司的 50 Mpixel 全帧型 CCD 传感器 KAF50100 搭建成像系统,不同于以往高分辨率系统设计,本系统摆脱专用 CCD 时序产生芯片,使用现场可编程门阵列(FPGA)产生 CCD 所需的时序;针对超高分辨率 CCD 的高电容负载和宽电压摆幅的特点,使用集成驱动芯片和离散器件电路相结合的方式实现 CCD 的功率驱动。除此之外,分析 CCD 四路输出不均匀性的成因,在实验获得四路输出响应曲线的基础上校正其输出的不均匀性;在 FPGA 内部建立存储器,完成像素信号的缓存与重排列,将数字图像信号通过 LVDS 接口发送至上位机。最后给出系统实验结果。本系统设计方法具有很高的灵活性和扩展性,可以广泛应用于超高分辨率成像系统的设计中。

2 KAF50100 成像芯片介绍

KAF50100 是一款具有 50 Mpixel 的全帧型 CCD 成像芯片,总像素数为 $8\,304 \times 6\,220 = 51.6$ Mpixel,有效像素数为 $8\,176 \times 6\,132 = 50.1$ Mpixel,像素尺寸为 $6\ \mu\text{m} \times 6\ \mu\text{m}$,具有 4 路输出,每路最大像素速率为 18 MHz,最大帧速为 1 frame/s。图 1 是 KAF50100 的芯片结构示意图。该芯片有两行水平转移 CCD: HCCDA 和 HCCDB,通过可控传输门 XG 相连接。每行 HCCD 分成了左右两部分,每部分对应一组输出放大机构,构成了 4 路输出,分别是 $VOUT_{LA}$ 、 $VOUT_{LB}$ 、 $VOUT_{RA}$ 和 $VOUT_{RB}$ 。当 CCD 完成光积分过程后,在纵向转移信号 V_1 和 V_2 的驱动下,CCD 上积累的光电荷整体向下移动两行到 HCCDA 和 HCCDB 中,之后 HCCD 中的电荷在水平转移信号 H1A、H1B、H2 和 H1L 的作用下,分左右两部分经浮置扩散二极管(FD)转换成电压后放大输出。通过打开或关闭传输门 XG,用户可以选择 KAF50100 的输出模式为分裂双输出或者分裂并行双输出(4 输出)。KAF50100 在正常感光单元的四周还配置有遮光的暗电平参考像素,该参考电平可以用作模拟前端芯片(AFE)的暗电平截断参考,或者形成数字图像供上位机处理算法使用。

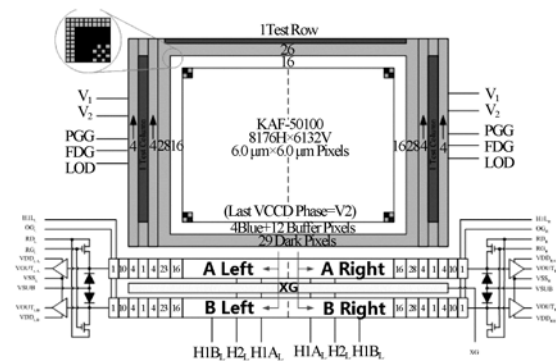


图 1 KAF50100 芯片结构框图

Fig. 1 Block diagram of KAF50100

3 成像系统设计

成像系统主体包含 3 部分: CCD 传感器 KAF50100、AFE 芯片和 FPGA,如图 2 所示。其中 CCD 的曝光过程由幕帘式焦平面机械快门控制,CCD 外围电路由驱动电路和偏置电压电路组成,驱动时序由 FPGA 产生。KAF50100 工作在

分裂并行双输出模式下(4 路并行输出),输出的 4 路并行模拟图像信号发送给 4 片彼此完全独立的 AFE 芯片 AD9845B,该芯片对模拟图像信号进行相关双采样(CDS)、暗电平截断、可变增益放大和 A/D 转换后形成数字图像信号发往 FPGA。AFE 芯片的配置以及采样控制信号均由 FPGA 产生。FPGA 将接收到的数字图像信号在内建 RAM 中缓存重排后通过 LVDS 接口芯片转换为低压差分信号发往上位机。FPGA 作为成像系统的控制核心与上位机通过 RS422 总线进行命令和状态通信。上位机可以是带有数字图像采集卡的 PC 机或者是带有 LVDS 接口输入的图像处理单元,并不是成像系统的一部分。

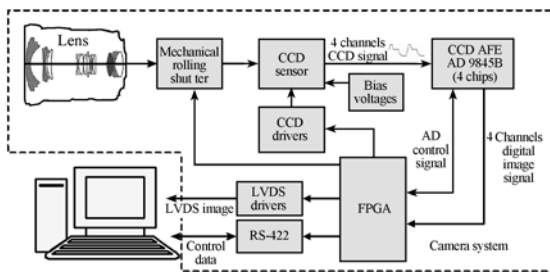


图 2 超高分辨率成像系统原理框图

Fig. 2 Block diagram of ultra-high resolution imaging system

3.1 幕帘式焦平面机械快门设计

相比于片板式镜间快门幕帘式焦平面机械快门。具有同光效率高、对成像质量影响小以及易于实现快速曝光的优点,广泛应用在专业成像以及航空相机领域^[9]。本系统使用 COPAL 公司生产的幕帘式焦平面机械快门控制 CCD 的曝光过程,该快门具有 1/4 000 s 的最大曝光速度。快门由前帘、后帘、电机和机械结构组成,控制信号由前帘释放、后帘释放、前帘释放到位、上弦完毕和电机启动组成。曝光时间即为前帘释放与后帘释放的时间差。每次曝光结束要控制电机上弦,上弦过程持续 340 ms,小于 CCD 信号读出时间,因此上弦过程在 CCD 信号读出时完成,不会影响到 CCD 的最大帧速。

3.2 驱动电路设计

随着 CCD 传感器像素数量的增加,其转移信号的电容负载、驱动电压摆幅和驱动电压数量也随之增加,这对驱动电路提出了严峻挑战。由于驱动电流和电压摆幅的限制,对 KAF50100 芯片

的功率驱动并不能沿用单纯依靠专用集成电路的方法来实现。

在驱动电路设计上,将 KAF50100 的驱动信号分为 3 类:高速高负载、高速低负载和低速驱动,如表 1 所示。目前并没有针对 KAF50100 的时序产生和驱动芯片,而 CCD 驱动电路设计上普遍使用的 EL715X 系列集成总线功率驱动虽然具有很高的驱动能力^[10],但是电压摆幅和负电压受限,仅能应用在 -5 V 以上,并且摆幅不超过 12 V 的驱动条件下,所以该芯片不能为 H1L、V₁、V₂、PFG 和 FDG 提供驱动。因此,KAF50100 驱动的设计必须采用集成功率驱动和离散器件搭配的方式实现。

表 1 KAF50100 驱动条件

Tab. 1 Driving condition of KAF50100

Drive type	Pin name	Drive speed	Cap load	Drive voltage/V
High speed	H1A	18 MHz	491 pF	-4.0~2.0
	H1B	18 MHz	541 pF	-4.0~2.0
High load	H2	18 MHz	1 025 pF	-4.0~2.0
	H1L	18 MHz	17 pF	-6.0~2.0
Low load	RG	18 MHz	15 pF	1.0~8.0
	V ₁	25 kHz	568 nF	-9.0~2.5
	V ₂	25 kHz	645 nF	-9.0~3.5
	XG	< 25 kHz	265 pF	-4.5~3.0
	PFG	< 25 kHz	322 nF	-9.0~5.0
Low speed	FDG	< 25 kHz	120 pF	-9.0~5.0

3.2.1 水平转移驱动设计

水平转移控制信号包括 H1A、H1B、H2、H1L 和 RG,均为高速驱动信号。H1A、H1B、H2 和 RG 均由 EL715X 驱动。其中,H1A、H1B 和 RG 由于负载电容较低,使用峰值驱动电流为 3.5 A 的 EL7156 实现。H2 由于负载电容过大,使用具有 12 A 峰值驱动电流的 EL7158 实现。尽管 RG 的负载非常低,但是为了保证水平驱动信号的上升沿能够对齐,RG 仍然使用 EL715X 系列芯片驱动。H1L 的电压范围超过了 EL715X 芯片,必须搭建离散电路,电路原理图如图 3 所示。H1L 驱动电路将输入的 TTL 5V 信号经两个电容隔直流后,通过两个半波整流二极管 HSMS-2805 整流后控制一对三极管 MMBT3640 和 MMBT2369 分别打开或关闭,以此来驱动输出引

脚。驱动电路中 V_HIGH 和 V_LOW 均由输出可调的 LDO 芯片 LT3082 和 LT1964 实现。

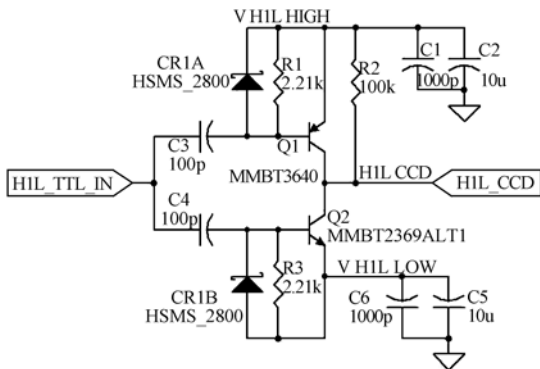


图 3 水平时钟驱动原理图

Fig. 3 Schematic of horizontal clock driving

EL715X 芯片使用 MOS 管驱动,在实现大电流输出的同时,开关延时也相应提高,其开关延迟要大于三极管搭建的离散电路,因此需要对 H1L 进行延时处理。经实验测量,H1L 驱动的信号相比于 EL715X 实现的驱动电路超前 7 ns,因此 H1L 的驱时钟在 FPGA 设计时单独使用一个 DCM 产生,该时钟要相对其它水平转移时钟延时 7 ns。

3.2.2 垂直转移驱动设计

垂直驱动均为低速信号,速度不会超过 25 kHz。其中 XG 的负载和电压摆幅均符合 EL715X 要求,为减少电路板面积,使用 EL7156 驱动 XG 信号。除 XG 外,所有的垂直转移驱动均因电压范围的问题需要搭建离散电路。垂直转移驱动离散电路的原理图如图 4 所示。不同于水平转移驱动,垂直转移驱动拥有更大电容负载,为了使驱动信号拥有更好的边沿特性,使用具有 1.8 A 持续电流输出的 MOS 对管 IRF7309 来代替 H1L 设计中的三极管对管。在水平转移信号移出像素信号的过程中,纵向驱动信号应全部保持低电平状态,而目前离散驱动电路使用隔直电容和半波整流二极管搭建,这使得在输入信号长时间没有交流变化的情况下,对管均处于截止状态,驱动输出为不定态,因此离散电路设计必须保证在长时间没有脉冲输入的情况下输出低电平,即 IRF7309 中的 N 型 MOS 管保持打开状态。离散电路中 N 型管打开机制在 H1L 驱动电路的基础上进行了改进,相比于图 3 电路,图 4 将 N 型 MOS 管栅极的整流二极管反接,其 C 端接 4.3 V

稳压二极管 MMBZ5229,当输入信号长时间没有变化的时候,整流二极管 CR1B 将导通,稳压二极管 MMBZ5229 使 IRF7309 中的 N 型 MOS 管的栅极和漏极之间有恒定的 4.3 V 电压,使其处于打开状态,此时驱动电路输出为低电平。

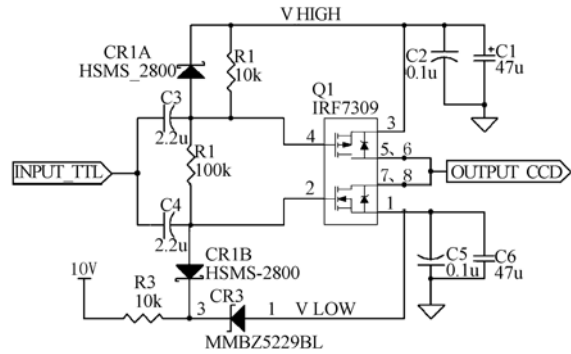


图 4 垂直时钟驱动原理图

Fig. 4 Schematic of vertical clock driving

3.3 模拟前端(AFE)设计

CCD 工作在 4 路并行输出模式下,在 PCB 设计上,CCD 与 AFE 分别在两块 6 层电路板上,模拟信号通过 75 Ω 同轴电缆传输。CCD 输出和 AFE 输入端均使用视频放大器 OPA842 进行驱动。PCB 上 4 路模拟信号通路均使用地线隔离,以此保证最小的信号串扰。

CCD 输出的 4 路模拟图像信号在处理上需要经过相关双采样(CDS)、暗电平截断和可变增益放大等处理。相关双采样用来获得像素电平,并且可以去除像素电平中的复位噪声^[11];暗电平截断可以去除一行 CCD 信号中的暗电平直流偏置,以此来提高像素信号在 A/D 转换时的净空;可变增益放大器用于模拟像素电平的放大,以此实现系统的感光度控制。这 3 项处理需要在 CCD 像素电平数字化之前完成,因此选择 AFE 芯片 AD9845B 来完成数字化过程。AD9845B 的最大采样速度为 30MSPS@12 bit,内部集成有 CDS 电路、暗电平截断电路、像素增益放大器以及可变增益放大器(VGA),该 AFE 芯片完全满足 KAF50100 输出的 18 MHz 模拟图像信号要求。

本成像系统使用 4 片 AD9845B 来对 CCD 信号进行采样,4 片 AD9845B 不共享数据和配置总线,FPGA 可以并行读取 4 路输出像素,并且可以对 VGA 进行单独配置,以此实现 4 路输出不均匀性的模拟域校正。

3.4 图像缓存排序设计

由图 1 可见,CCD 输出的 4 路信号相对于整幅图像并不是连续的,如果直接发送至上位机,获得的图像需要进行重排,这将耗费上位机大量缓存并降低其运行效率。为了使成像系统顺序输出图像,在 FPGA 中生成一个 4 行 CCD 像素大小的双口 RAM,具体大小为 $8\ 264 \times 4 \times 12$ bit,由两个模块控制像素在缓存中的输入和输出,输入模块接收来自 AD 的数字图像并用乒乓操作以两行为单位存进 RAM 中,存放的顺序与 CCD 输出像素顺序相同;另一个模块从 RAM 中以正常顺序读出两行信号,分两个并行通道发往上位机。这样,上位机不必拼接就可以获得正常顺序的图像信号,而成像系统仅在图像传输开始时引入了两行像素的延时,并没有增加额外处理开销。

3.5 FPGA 及软件设计

由于 FPGA 担负整个系统的时序发生和控制任务,因此选择 Xilinx 公司的 Virtex4 系列中 XC4VLX40-668。该芯片具有最大 500 MHz 的工作速度,640 个用户 IO,8 路 DCM,1,728 Kb 的分布式块 RAM,以及非常丰富的寄存器资源,完全可以满足整个系统控制和输出缓存的需要。本设计使用硬件描述语言为 VerilogHDL,开发环境为 ISE12.1。相机系统中还包含直方图统计单元、曝光控制单元和帧速调整单元等,具有全自动连续拍照的功能。下位机软件耗费 FPGA 资源见表 2。其中 FIFO16/RAMB16s 一项占用率为 55%,该项主要为了实现数字图像的缓存和重排。DCM 使用 5 路,用以生成主要时钟信号、具有可调延时的 CDS 信号以及延时 7 ns 的 H1L 信号。总体上 FPGA 资源还有大量富余,可以为后续功能的添加(主要是图像预处理)和更大分辨率的面阵 CCD 的设计提供保障。

表 2 FPGA 资源消耗

Tab. 2 Resource consumption of FPGA

Resource name	Utilization/(%)
Number of occupied Slices	13
Number of occupied Slices	27
Number of bonded IOBs	27
Number of BUFG/BUFG CTRLs	53
Number of FIFO16/RAMB16s	55
Number of DSP48s	34
Number of DCM_ADVs	62

4 CCD 4 路输出不均匀性校正

系统直接从 KAF50100 上获得的图像从宏观观看中间有条缝,从微观看两行像素之间的整体亮度存在轻微差别,因此图像会出现横条纹,如图 5 所示。这个现象是 KAF50100 的 4 路输出不均匀性造成的。4 路输出不均匀性的成因有三个:第一,CCD 上所有像素分成 4 部分输出,每部分像素的平均光响应不可能完全相同;第二,4 部分像素通过 4 个独立的放大器并行输出,这 4 个放大器的增益和偏置不可能完全相等;第三,4 路输出信号经过 4 个独立的 AFE 芯片,AFE 中内建的可变增益放大器和 ADC 不可能完全相等。正是这些因素共同决定了 KAF50100 的 4 路输出不均匀。

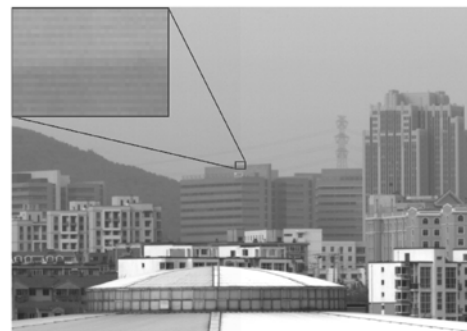


图 5 四路输出不均匀性对成像的影响

Fig. 5 Effect of 4-output non-uniformity on imaging

从理论角度分析,CCD 像素的光响应、CCD 输出放大器输出特性和 AFE 可变增益放大器的输出特性都是线性的,那么可以将 KAF50100 的四输出校正等效为 4 个像素的响应非均匀性校正,选择基于最小二乘法多点拟合的非均匀校正法^[12]来校正 KAF50100 的 4 个输出。

首先,取 N_p 个像素在 N_q 个照度下的灰度值,共 $N_p \times N_q$ 个数据,表示为矩阵:

$$\mathbf{V} = \begin{bmatrix} v(1,1) & v(1,2) & \cdots & v(1,N_q) \\ v(2,1) & v(2,2) & \cdots & v(2,N_q) \\ \vdots & \vdots & & \vdots \\ v(N_p,1) & v(N_p,2) & \cdots & v(N_p,N_q) \end{bmatrix}, \quad (1)$$

对矩阵 \mathbf{V} 的每一行进行最小二乘直线拟合,拟合

方程组为:

$$\begin{bmatrix} M & \sum_{k=1}^M x_k \\ \sum_{k=1}^M x_{ki} & \sum_{k=1}^M x_k^2 \end{bmatrix} \cdot \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} \sum_{k=1}^M y_k \\ \sum_{k=1}^M x_k y_k \end{bmatrix}, \quad (2)$$

令 $M = N_q$, $x_k = q_k$, $k = 1, 2, \dots, N_q$, $y_k = v(i, q_k)$, $a_1 = g_i$, $a_2 = b_i$ 。其中 g_i 为光响应的增益系数, b_i 为输出偏置。解得:

$$\begin{bmatrix} g_i \\ b_i \end{bmatrix} = \begin{bmatrix} N_q & \sum_{k=1}^{N_q} q_k \\ \sum_{k=1}^{N_q} q_k & \sum_{k=1}^{N_q} q_k^2 \end{bmatrix} \cdot \begin{bmatrix} \sum_{k=1}^{N_q} v(i, q_k) \\ \sum_{k=1}^{N_q} q_k v(i, q_k) \end{bmatrix},$$

这样就得到 N_p 条直线。其中直线 l_i ($i = 1, 2, \dots, N_p$) 的方程为:

$$v(i, q) = g_i \cdot q + b_i, \quad (i = 1, 2, \dots, N_p), \quad (3)$$

这是经过拟合后的 CCD 像素的线性响应方程。若校正后的输出方程为:

$$v_c(i, q) = g_c \cdot q + b_c =$$

$$g_{ic} \cdot v(i, q) + b_{ic}, \quad (i = 1, 2, \dots, N_p),$$

则可得校正系数为:

$$\begin{cases} g_{ic} = g_c / g_i \\ b_{ic} = b_c - g_{ic} \cdot b_i \end{cases} \quad (4)$$

CCD 像素的非均匀校正中, 往往选择像素平均响应拟合出的直线作为理想情况下的像素响应, 因为该响应进行了多次平均, 剔除了系统中的随机噪声。KAF50100 的 4 输出不均匀性校正并不能使用该方法, 原因有两个: 第一, 本系统中校正目标并不是单一像素, 而是 CCD4 个部分输出的平均值, 该平均值在求得的过程中已经多次平均, 进而剔除了随机噪声; 第二, 如果以 4 路平均输出响应作为校正目标, 则最先达到饱和的输出将有可能永远不能饱和, 这会增加图像中的噪声。因此, 令校正后的响应等于光响应增益系数最大的那一路。光响应增益的校正通过 AFE 芯片 AD9845B 中的 VGA 实现, 这样做一方面可以避免数字图像信号乘系数带来的量化噪声增加问题, 还可节省上位机的运算开销, 使每个像素的校正只需要一次加法运算就可以完成。

在本系统中, 待校正路数 $N_p = 4$, 使用均匀光源产生 16 个不同的照度, 在这 16 个照度下使用相同曝光时间和增益获得 CCD 成像系统的输出, 以此作为 4 输出特性拟合的依据。4 通道拟合曲

线如图 6 所示, 其中 x 轴为均匀光源光电二极管输出电流值, 单位是 10^{-8} A, y 轴为 CCD4 个输出的平均灰度。

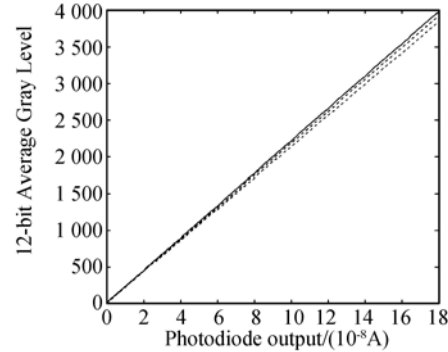


图 6 4 通道输出拟合曲线

Fig. 6 Polynomial fitting curves of 4-channel outputs

拟合得到的 g_i 、 b_i 、 g_{ic} 和 b_{ic} 见表 3。由表 3 可见成像芯片 RB 通道的增益和偏置均大于其他通道, 因此其余 3 通道均以 RB 通道响应作为理想响应进行校正, 可得校正系数 g_{ic} 和 b_{ic} 。

表 3 拟合结果及校正参数

Tab. 3 Polynomial fitting results and calibration factors

Channel	LA	LB	RA	RB
g_i	212.63	217.52	215.61	220.49
b_i	8.237 4	6.171 3	7.546 2	9.365 2
g_{ic}	1.037 0	1.013 7	1.022 7	1.000 0
b_{ic}	0.823 0	3.109 4	1.647 8	0

校正后成像系统获得图像如图 7 所示, 可见, 校正后图像中缝消失, 行与行间横条纹消失, 像素过渡均匀。

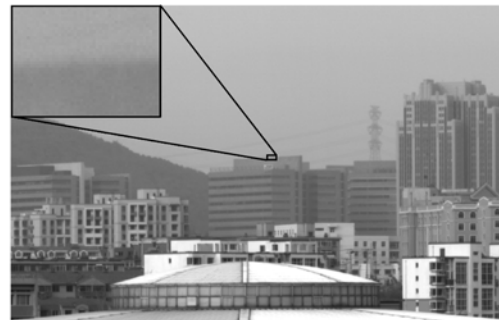


图 7 校正后图像

Fig. 7 Image after calibration

4 实验结果及分析

根据图 2 所示系统框图搭建成像系统,使用带有 PCI-1424 采集卡的 PC 机作为上位机,成像系统实物外形图和内部实物图如图 8 所示。



图 8 成像系统实物图

Fig. 8 Picture of imaging system



图 9 成像系统获得照片

Fig. 9 Picture captured from imaging system

成像系统中使用的 KAF50100 为黑白标准版芯片,芯片工作在 4×18 MHz 的速度下。成像系统连续拍照速度在曝光时间小于 100 ms 的情况下,帧速为 1 frame/s,达到芯片的最大工作速度。系统拍摄照片如图 9 所示,图片分辨率为 8264×6220 ,其中右上角为图片局部放大后的效果,放大部分为通过两个建筑物间隙看到的楼身后的停车场,放大后图片高约 100 个像素,仅占整幅图片高度的 1.6%。

将镜头盖关闭,在完全无光照的情况下进行

30 次拍摄,求得每个像素在 30 次成像中的残差,将所有残差的均方根值作为成像系统的输出噪声,12 bit 下的噪声值为 2.76,此时饱和信号量为 4 096,根据成像系统动态范围的定义^[13],计算得本成像系统的动态范围为 63.4 dB。

5 结 论

本文基于超高分辨率 CCD 图像传感器 KAF50100 设计了成像系统,针对该芯片在驱动特性方面电容负载大和电压摆幅宽的特点,提出了集成总线功率驱动芯片和分立元件搭建电路相结合的设计方法,设计了 CCD 的前端功率驱动电路,摆脱了专用时序产生芯片和功率驱动芯片的限制。针对 CCD 信号的特性使用 AD9845B 作为 AFE 芯片,对 CCD 信号进行相关双采样、暗电平截断、可变增益放大和模数转换,并且通过 AD9845B 的可变增益放大器,对 CCD 的 4 路输出进行增益系数校正。这样,避免了数字图像乘系数造成的量化噪声放大问题,也减小了上位机的软件开销。使用单一 FPGA 芯片产生 CCD 所需的驱动信号,对 AFE 芯片进行配置和采样控制,收集数字图像信号并将数字图像缓存重排后发送至上位机,既减少了数字电路的器件数量,增加了系统的稳定性,又避免了系统对于专用 CCD 时序产生芯片的依赖,提高了系统的通用性和灵活性。使用 RS422 接口和 LVDS 接口进行命令控制和图像上传,增加抗干扰能力的同时,兼顾了信号的传输距离。并行的 LVDS 接口可以方便地接驳下一级图像处理单元和接口转换单元,使系统的图像处理能力和信号传输距离得到进一步增强。经过验证,该成像系统可充分发挥 KAF50100 的性能,芯片工作在最大输出速度 4×18 MHz,动态范围可达 63.4 dB。本设计能够满足水下可见光探测对成像部分的需求,并且可以广泛应用于相关探测领域,如航空航天、卫星遥感、天文观测等。

参考文献:

- [1] 金伟其,王霞,曹峰梅,等.水下光电成像技术与装备研究进展(下)[J].红外技术,2011,33(3):125-132.

- JIN W Q, WANG X, CAO F M, *et al.*. Review of underwater opto-electrical imaging technology and equipment(II) [J]. *Infrared Technology*, 2011, 33(3): 125-132. (in Chinese)

- [2] 阮锐. CCD 技术在海洋测绘领域中的应用[J]. 海洋测绘, 2011, 31(3): 80-82.
RUAN R. Application of CCD technology in the field of hydrographic surveying and charting [J]. *Hydrographic Surveying and Charting*, 2011, 31(3): 80-82. (in Chinese)
- [3] 马庆军, 宋克非, 曲艺, 等. 紫外临边成像光谱仪 CCD 电路系统的设计[J]. 光学 精密工程, 2011, 19(7): 1538-1545.
MA Q J, SONG K F, QU Y, *et al.*. Design of CCD circuit systems for ultraviolet limb imaging spectrometers [J]. *Opt. Precision Eng.*, 2011, 19(7): 1538-1545. (in Chinese)
- [4] 孙泽林, 王昭, 李明. 火炮稳定精度图像测试系统[J]. 光学 精密工程, 2012, 20(1): 157-164.
SUN Z L, WANG Z, LI M. Image test system for gun stabilization accuracy [J]. *Opt. Precision Eng.*, 2012, 20(1): 157-164. (in Chinese)
- [5] 刘光林, 杨世洪, 吴钦章, 等. 高分辨率全帧 CCD 相机电路系统的设计[J]. 中国科学院研究生院学报, 2007, 24(3): 320-324.
LIU G L, YANG S H, WU Q ZH, *et al.*. Design of high resolution camera system based on full frame CCDs [J]. *Journal of the Graduate School of the Chinese Academy of Sciences*, 2007, 24(3): 320-324. (in Chinese)
- [6] 盛翠霞, 张涛, 纪晶, 等. 高分辨率 CCD 芯片 FTF4052M 的驱动系统设计[J]. 光学 精密工程, 2007, 15(4): 564-569.
SHENG C X, ZHANG T, JI J, *et al.*. Design of CCD FTF4052M driver system with high sensitivity [J]. *Opt. Precision Eng.*, 2007, 15(4): 564-569. (in Chinese)
- [7] BEN-EZRA, MOSHE. High resolution large format tile-scan camera: Design, calibration, and extended depth of field [C]. 2010 *IEEE International Conference on Computational Photography*, IC-CP 2010: 5585095.
- [8] BEN-EZRA, MOSHE. A digital gigapixel large-format tile-scan camera [J]. *IEEE Computer Graphics and Applications*, 2011, 31(1): 49-61.
- [9] 曲国志, 刘海英. CCD 航空相机用长寿命帘幕式快门[J]. 电光与控制, 2011, 18(11): 77-79.
QU G ZH, LIU H Y. A long life curtain-type shutter for aerial CCD cameras [J]. *Electronics Optics & Control*, 2011, 18(11): 77-79. (in Chinese)
- [10] 杨少华, 郭明安, 李斌康, 等. 百万像素电子倍增 CCD 数字化相机的设计[J]. 光学 精密工程, 2011, 19(21): 2970-2976.
YANG SH H, GUO M A, LI B K, *et al.*. Design of digital EMCCD camera with mega pixels [J]. *Opt. Precision Eng.*, 2011, 19(21): 2970-2976. (in Chinese)
- [11] 佟首峰, 阮锦, 郝志航. CCD 图像传感器降噪技术的研究[J]. 光学 精密工程, 2000, 8(2): 140-145.
TONG SH F, RUAN J, HAO ZH H. Noise reducing scheme on output signal of CCD [J]. *Opt. Precision Eng.*, 2000, 8(2): 140-145. (in Chinese)
- [12] 程万胜, 赵杰, 蔡鹤皋. CCD 像素响应非均匀的校正方法[J]. 光学 精密工程, 2008, 16(2): 314-318.
CHENG W S, ZHAO J, CAI H G. Correction method for pixel response nonuniformity of CCD [J]. *Opt. Precision Eng.*, 2008, 16(2): 314-318. (in Chinese)
- [13] 米本和也. CCD/CMOS 图像传感器基础与应用 [M]. 北京: 科学出版社, 2006.
KAZUYA Y. *CCD/CMOS Image Sensor no Kiso to Ouyou* [M]. Beijing: Science Press, 2006. (in Chinese)

作者简介:



许文海 (1956—), 男, 吉林扶余人, 博士, 教授, 博士生导师, 分别于 1991 年、1993 年于哈尔滨工业大学仪器科学与技术专业和东京工业大学分别获生产机械工学博士学位(双博士), 现主要从事水下探测、光电检测与光电信息等方面的研究。E-mail: whxu@dlmu.edu.cn



吴厚德 (1982—), 男, 辽宁大连人, 博士研究生, 2005 年、2008 年于大连海事大学分别获得学士、硕士学位, 主要从事可见光成像系统的研究。E-mail: shrek@dlmu.edu.cn