

文章编号 1004-924X(2013)01-0158-09

高速多通道遥感相机快视系统的实现

夏巧桥¹, 汪鼎文^{2*}, 张立国³, 吴敏渊¹, 陈曦²

(1. 武汉大学 电子信息学院, 湖北 武汉 430072;

2. 武汉大学 微电子与信息技术研究院, 湖北 武汉 430072;

3. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要:针对目前遥感相机输出通道多、数据率高和像素灰阶高等特点,提出并构建了基于现场可编程门阵列(FPGA)并行处理技术的快视系统。该系统主要由存储单元、预处理单元以及高清显示单元等核心部件组成。存储单元采用 FPGA 直接控制大容量 SATA 磁盘阵列实现高速海量存储;预处理单元实时对高速海量图像数据进行缩放、平移和数据融合等操作,克服传统快视系统无法高速处理海量图像数据的技术瓶颈;高清显示单元驱动 3 台 12 位显示器进行高灰阶、大幅面无缝拼接显示,弥补以往对高灰阶遥感图像只能截断显示的缺陷。实验结果表明:该系统存储容量达 96 TB,可对总速率高达 19.7 Gb/s 的 12 通道 12 位量化遥感图像数据进行实时记录与无失真显示。系统工作稳定可靠,易于扩展,已成功运用于遥感相机的研制测试中,大大提高了遥感相机的研制效率。

关键词:快视系统;多通道遥感相机;现场可编程门阵列;磁盘阵列

中图分类号:V447.3 **文献标识码:**A **doi:**10.3788/OPE.20132101.0158

Realization of fast-view system for high-speed multi-channel remote sensing camera

XIA Qiao-qiao¹, WANG Ding-wen^{2*}, ZHANG Li-guo³, WU Min-yuan¹, CHEN Xi²

(1. School of Electronic Information, Wuhan University, Wuhan 430072, China;

2. Institute of Microelectronics and Information Technology,
Wuhan University, Wuhan 430072, China;

3. Changchun Institute of Optics, Fine Mechanics and Physics,
Chinese Academy of Sciences, Changchun 130033, China)

* Corresponding author, E-mail: wangdw@whu.edu.cn

Abstract: For the multi-channel data outputs, high data rates and high grayscales of remote sensing CCD cameras at present, a new fast-view system by using parallel processing technology based on Field Programming Gate Array(FPGA) is proposed and performed. The system consists of a high-speed mass storage unit, a pre-treatment unit and a high grayscale display unit. The high-speed mass storage unit directly controls large-capacity SATA disk arrays by using FPGA to implement the high speed storage of mass image data. The pretreatment unit processes the mass image data by zooming, translation and data fusion in real time, by which overcomes the technical bottlenecks of the process-

收稿日期:2012-07-05;修订日期:2012-08-30.

基金项目:国家自然科学基金资助项目(No. 61072135)

ing speeds of traditional fast-view systems. Moreover, high grayscale, large format and seamless image data is displayed on three 12-bit monitors by high grayscale display unit. The results show that the system has a storage capacity up to 96 TB, and can record and display 12-channel CCD image data quantified by 12-bit at the total rate up to 19.7 Gb/s in real-time. The system is reliable, easy to expand and has been successfully applied in many types of development tests of remote sensing cameras.

Key words: fast-view system; multi-channel remote sensing camera; Field Programming Gate Array (FPGA); disk array

1 引 言

在遥感相机的研制过程中,为了对相机成像质量、整机传递函数以及相机图像信噪比等作出评价,需要采用快视系统对相机输出图像数据进行实时显示和大容量记录存储,并通过在线和离线数据分析来测试相机性能。作为光、机、电一体化技术高密集型产品的遥感相机,随着观察视场和分辨率指标要求的不断提高,目前大都采用高速多通道并行输出结构^[1],这使得数字化后图像数据量急剧增长,从而给快视系统的研制带来了极大的挑战。以某遥感相机为例,该相机由 12 通道 CCD 拼接而成,每通道输出时钟频率为 140 MHz,像元数为 6 144,CCD 图像数据为 12 位量化,则此遥感相机的总速率高达 19.7 Gb/s,由于一般对 12 位数据都是以双字节进行处理,其对应的实际速率已高达 26.9Gb/s,因此遥感相机快视系统的研制成为相应实时处理系统的关键技术之一。

针对此项技术,国内外许多学者做了大量的研究工作,目前大致有以下几种解决方案:1. 基于 PCI 或 PCIE 总线数据采集卡的系统架构,由数据采集卡完成数据接收,通过 PCI 或 PCIE 总线传送给计算机内存,再由计算机自带的 IDE 接口将数据写入硬盘^[2-4];2. 在方案 1 的基础上,采用计算机集群的系统架构,每台计算机只完成某一通道的数据显示与记录^[5-6];3. 采用 FPGA 直接控制 DRAM 或 FLASH 阵列,将数据直接记录在 DRAM 或者 FLASH 阵列中^[7-9]。

然而,由于遥感相机数据率呈井喷式增长,上述方案皆存在各式各样的问题。方案 1 虽然简单、可靠,但由于计算机系统的带宽限制和通用计算机系统均为非实时操作系统等诸多原因,在线

实时处理这种高速数据流时往往面临着一些挑战。例如,尽管系统平均数据吞吐率留有一定裕量,但短时响应时间可能极度恶化,造成瞬时吞吐率不足,数据丢失,因此该处理模式多适用于 1 Gb/s 以下的数据流,难以满足对更高速率的数据流进行存储和处理的要求;方案 2 系统结构复杂、重量大、不够灵活、对环境的适应性不好,通道之间显示较难同步;方案 3 由于 DRAM 和 FLASH 存储空间有限且代价昂贵,无法实现海量存储,以上述遥感相机为例,一次耗时 10 min 的成像,遥感图像在存储设备所占空间就高达 2 TB,若采用此种方案,存储空间就显得捉襟见肘。

另外,随着空间遥感探测技术的发展,遥感相机多采用 10 位、12 位甚至更高位数 A/D 采样的 CCD 传感器获得图像,并以数字图像的形式保存下来。图像显示的目的是再现真实场景,使用户获得对真实场景最直接的感官体验,因此 12 位高灰阶、大幅面图像的无失真显示显得尤为重要^[10]。上述方案皆采用 8 位显示器进行显示,显示时必须对原始相机数据进行截断与抽样,其中截断多采用舍弃低四位或高四位的显示方法,前者无法显示图像低灰度细节,而后者使图像整体亮度下降呈灰暗状。若采用 12 位显示器^[11],则必须配备相应的专用显卡,但目前这种显卡均不提供 SDK,不支持二次开发。而且,如果需要实现单个通道的全采样显示,从当前显示器的显示能力上分析,必须采用多屏拼接的方式才能实现。

针对上述系统方案的不足,本文在参考国内外相关技术的基础上,提出了一种基于 FPGA 并行处理技术的快视系统方案并加以实现。FPGA 作为系统控制与处理核心直接控制 SATA 磁盘阵列的读写,并对高速海量图像数据进行缩放、平移和数据融合等操作,驱动 3 台 12 位显示器实现高灰阶、大幅面拼接显示。

2 系统组成及工作原理

本系统主要包括采集单元、存储单元、处理单元、高清显示单元以及工业控制计算机等,如图 1 所示。系统采用模块化设计,采集、存储、显示等功能分别由相应功能单元实现,即便随着科技的发展,某项功能出现技术瓶颈,只需更新相应单元即可。

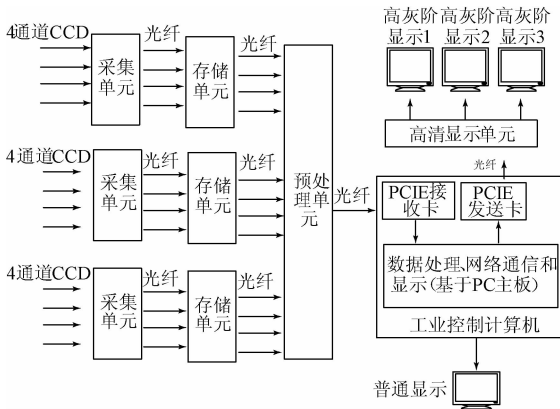


图 1 快视系统结构框图

Fig. 1 Structural diagram of fast-view system

每个采集单元采集 4 通道 CCD 图像数据,并串转化之后通过 4 根光纤电缆^[12]传送至存储单元。高速数据流在存储单元中被分成 2 个分支流向,其中 1 路输出至预处理单元进行后续处理,而另 1 路则由存储单元内部的硬盘控制器存入磁盘阵列当中,硬盘控制器由 FPGA 实现,它实时地控制硬盘完成数据存取操作。预处理单元对海量数据进行缩放、平移和数据融合等操作,只将当前需要实时显示的数据送往计算机。计算机对输入的数据进行各种处理以及显示,并将数据通过 PCIe 总线传送至高清显示单元,由高清显示单元驱动 3 台 12 位显示器进行高灰阶拼接显示。

3 系统详细设计

3.1 采集单元

采集单元可采集 4 通道 CCD 图像数据,主要完成输入信号的物理连接、电平转换、辅助数据与图像数据分离、辅助数据实时检测、数据封装和与存储单元的时序逻辑适配等工作,硬件框图如图 2 所示。FPGA 型号选用 STRATIX II 系列的 EP2SGX60EF1152,该 FPGA 集成了 12 个 GXB

核^[13](高速串化/解串模块)。每个 GXB 通道可提供 600 Mb/s~3.2 Gb/s 的传输速率,本单元中 GXB 速率配置为 3.125 Gb/s。FPGA 配置芯片采用 EPCS64 作为程序存储器。网络物理层协议芯片采用 88E1111。光模块采用 Avago 公司的 AFBR-57R5APZ,波长为 850 nm。

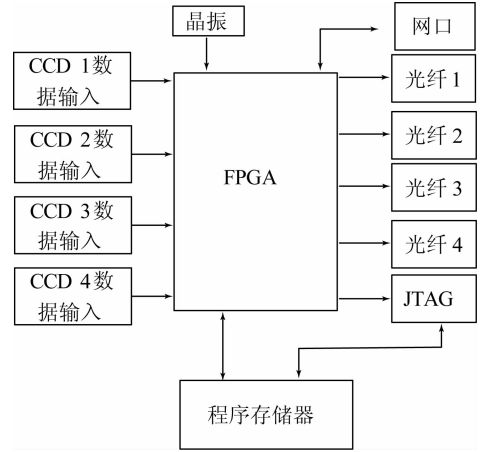


图 2 采集单元硬件框图

Fig. 2 Hardware block diagram of data acquisition unit

采集单元与 CCD 相机之间采用并行 LVDS 方式传输,每个通道包括 1 位行同步脉冲信号、1 位时钟信号和 12 位图像数据信号,其典型信号时序图如图 3 所示。如果需要用于不同输出接口的相机时,只需定制前端接口即可。



图 3 相机输出接口时序图

Fig. 3 Timing diagram of camera output

采集单元对接收到的每通道图像数据进行封装,数据封装格式如表 1 所示,每一个数据包都有相应的包编号和包累加和,用于下一单元接收数据时进行数据校验。

表 1 采集单元数据封装格式

Tab. 1 Data package format of data acquisition unit (bit)

包头	包编号	类型	有效数据长度	包累加和	数据区
4	4	2	2	2	变长

3.2 存储单元

RAID 磁盘阵列按照数据组织形式和有无信息冗余等情况分为多种不同的标准级别,常见的有 RAID0, RAID1 和 RAID5 等。其中, RAID0 代表了所有 RAID 级别中最高存储性能,其提高存储性能的原理是把连续的数据分散到多个磁盘上存取,这样,系统的数据请求就可以被多个磁盘并行执行。由于每个磁盘只执行属于它自己的那部分数据请求,因此可以充分利用总线的带宽,显著提高磁盘整体读写性能。RAID 按照实现方式可以分为软件 RAID 和硬件 RAID,其中,硬件 RAID 可以减少 CPU 资源占用,避免高速数据接收和处理带来的额外压力。

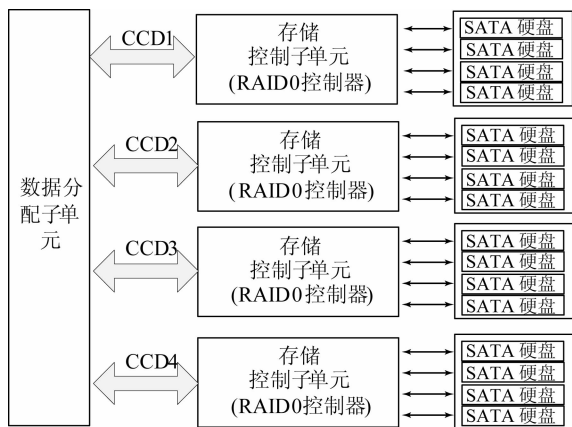


图 4 存储单元的组成框图

Fig. 4 Block diagram of storage unit

存储单元采用硬件 RAID0 方式控制 16 块硬盘实现 4 通道 CCD 图像数据高速大容量存储。存储单元数据输入接口为 4 个光纤接口,每个接口速率为 3.125 Gb/s。数据输出接口为千兆网接口或者 4 个光纤接口,即其既可通过千兆网和计算机进行通信^[14],也可通过 4 个光纤接口和安装了光纤图像采集卡的计算机进行通信。存储单元主要由数据分配子单元、存储控制子单元以及硬盘阵列等构成,如图 4 所示。

在记录模式下,存储单元通过光纤输入接口接收采集单元发送的图像数据,对数据进行校验,并将数据分流,一路数据存储至内部的硬盘阵列模块中,另一路数据通过光纤接口输出至预处理单元进行下一步的处理,从而实现相机图像的实时显示。在回放模式下,存储单元读取存储在其内部的硬盘阵列模块中的数据,通过光纤接口输出至预处

理单元,从而实现相机图像的回放显示。

在数据记录的过程中,数据分配子单元将接收到的数据信号按通道分发给 4 个存储控制子单元,每个存储控制子单元内构建了一个支持 4 块硬盘的 RAID0 控制器,直接将接收到的某一通道 CCD 图像数据存储到 RAID0 阵列中。

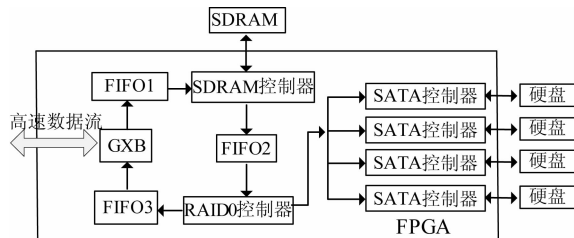


图 5 存储控制子单元内部结构框图

Fig. 5 Block diagram of storage control subunit

存储控制子单元内部结构框图如图 5 所示,高速数据流首先由 FPGA 自带的 GXB 进行串并转化,然后通过外挂的大容量 SDRAM 进行缓冲,SDRAM 分为两组,进行乒乓操作,接着在 FIFO2 处进行位宽转化,将数据流扩充成 64 bit,最后,将 64 bit 高速数据流通过 RAID0 控制器分成 4 个 16 bit 数据流,在 4 个 SATA 控制模块的作用下分别存入相应的硬盘。采用 SDRAM 进行缓存主要有两个目的:一是提高传输速度,为系统的高速 DMA 传输做好准备,使两边的数据传输速率匹配,如果每接收一次数据就向硬盘存储一次会在硬盘的物理操作上浪费很多时间,把数据化零为整,就可以节省寻址时间,提高速率;二是防止数据的丢失,从 CCD 系统输出的数据是不间断的,但数据写入硬盘时需要寻道、磁头移动时间,且这个时间并不固定,现今主流的机械硬盘平均寻道时间都在在 9 ms 左右,因此至少要能保证能对 9 ms 的数据量进行缓存。

3.3 预处理单元

在本系统中,对数据实时显示要求尤其高,图像漫游(包括缩放和平移)是基本和常见操作。用户有时为了查看图像细节,要求可以对某个通道数据的全采样显示,有时为了查看图像的总趋势,又需要对任意通道任意采样值进行联合多通道显示。以上述遥感相机为例,其总的横向分辨率为 $12 \times 6 144$,但现今主流显示器的横向分辨率一般不超过 2 048,即使是 3 屏拼接显示,总的横向分辨率也不会超过 6 144,即在任意时刻,相机

每行图像数据中需要显示的像素点数不会超过 6 144,这也就意味着需实时显示的数据速率不会超过单通道的数据速率。因此,将海量原始数据变成待显示的数据就需要进行大量的计算。如果将所有的 CCD 图像数据传送至通用计算机,由计算机完成图像数据的剪裁、拼接以及图像数据融合,对计算机的 CPU 处理能力来说是无法完成的任务。利用预处理单元把对图像数据的预处理工作从计算机中独立出来,这样就克服了计算机处理高速海量图像数据的技术瓶颈。在发生了漫游动作时,场景中图元在屏幕上的位置大小需发生变化,只需将新的坐标变换参数传送给预处理单元,由其完成相应的操作即可。

对图像数据进行实时预处理操作,一般采用 DSP 或 FPGA 实现,但由于需要同时对多达 12 通道的 CCD 数据进行预处理操作,数据量相当大,且实时性高,如用单 DSP 处理,即使是高性能的 DSP 也很难满足要求,而 FPGA 器件各功能模块可以同时工作,实现了指令级、比特级,流水级甚至是任务级的并行执行,从而可以大大加快计算速度,且本系统中算法结构相对简单,适于用 FPGA 实现,因此采用基于 FPGA 的并行处理方案。FPGA 作为数据处理与控制的核心,主要工作在于:接收计算机发送给数据预处理单元所需的工作参数和命令;接收和缓存 12 通道 CCD 数据;对每通道 CCD 数据根据参数进行处理并按相应的格式进行打包封装;将每通道处理后的数据进行异步复接,并通过光纤进行输出。其内部的逻辑单元主要包括 GXB、双口 RAM、FIFO、漫游控制模块、命令参数接收模块和异步复接打包模块等,对应的内部功能框图如图 6 所示。

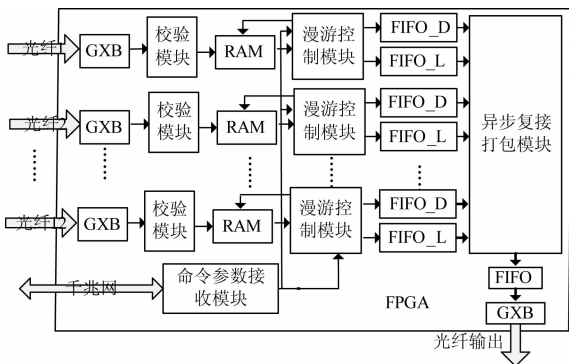


图 6 预处理单元 FPGA 内部功能框图

Fig. 6 Functional block diagram of FPGA

GXB 模块是 FPGA 内自带的高速串行/解串器,其将输入的高速 16 位数据流转成 G 级以上的串行信号,以 CML 接口电平形式输出至光收发模块,或将光收发模块的 G 级以上的串行信号恢复成并行数据流。校验模块对输入的数据进行包计数校验和包累加和校验,判断输入数据是否丢包以及是否误码。RAM 模块是 FPGA 内部的数据存储单元,用于存储待处理的 CCD 图像数据。RAM 模块在此需配置成双端口 RAM 使用,为数据的存储和读取分别提供独立通道。RAM 大小配置为 2 行 CCD 图像数据,便于采用乒乓模式进行操作,即每当存储完 1 行图像数据时产生 1 个乒乓切换信号至漫游控制模块,漫游控制模块在此信号的作用下读出刚存储的 1 行图像数据,而与此同时 RAM 中被写入下 1 行图像数据。漫游控制模块根据命令接收模块接收到的相关参数,对 RAM 中读出的图像数据进行抽样、偏移,如果对应通道为多光谱通道,还可根据命令参数对其进行多谱段融合等操作,操作完成之后将有效数据存储至数据 FIFO_D 中,同时将处理之后的数据长度信息 Len 存储至数据长度 FIFO_L 中。异步复接打包模块总是查询是否有某一数据长度 FIFO_L 不为空,如果有,则读出此长度值 Len,同时在相应的数据 FIFO_D 中读出该长度值个数的图像数据,最后将图像数据按照表 2 所示的包格式进行封装。封装后的数据经过串行化后通过光纤输出。

表 2 预处理单元数据封装格式

Tab. 2 Data package format of pre-processing unit (bit)

包头	通道值	包编号	行列抽样	偏移位置	数据区长度	保留	包累加和	数据区
4	1	4	1	2	2	8	2	变长

3.4 高清显示单元

高清显示单元由 1 个控制子单元和 3 个 DVI 驱动子单元组成,输入接口为光纤接口,输出接口为标准的 DVI2.0 接口,内部结构框图如图 7 所示。控制子单元用于接收 PCIE 图像发送卡通过光纤传输过来的图像数据,并将每行图像数据分段存储在 3 个 FIFO 内,当一行数据接收完毕后,3 个 FIFO 同时将 2 048 个图像数据传输给并串

转换电路。DVI 驱动子单元对图像数据进行缓冲,并转换成高灰阶位深专用显示器所规定的图像格式输出。SDRAM 模块用于缓存接收到的图像数据,其主要由 12 片 SDRAM 芯片 MT48LC32M16 构成,其中每 4 片 SDRAM 构成一个存储单元,总共 3 个存储单元组成一个轮询机制的缓存模块。由于 DVI 驱动子单元所接收到的图像数据帧频数和高灰阶位深专用显示器刷新帧频数不同,特别是当接收到的图像数据帧频数小于高灰阶位深专用显示器的刷新帧频数时,通过使用轮询机制的缓存模块,实现图像的不丢帧显示。

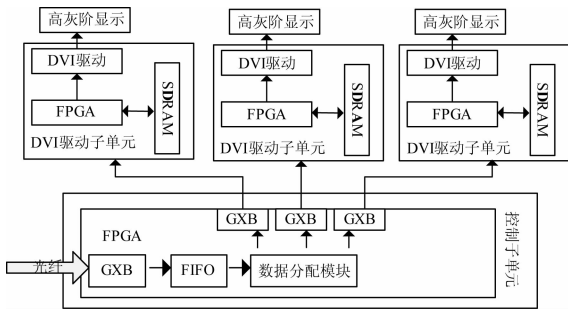


图 7 高清显示单元的内部结构框图

Fig. 7 Block diagram of high resolution display unit

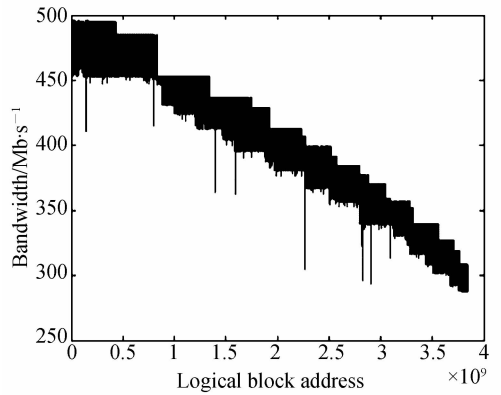
4 系统测试与实验结果

快视系统最为重要的几个性能指标分别为:系统的存储带宽与存储容量、系统整体显示能力和系统存储以及传输误码率。本章针对该系统的上述性能指标分别予以阐述和分析。

4.1 存储与回放性能测试

存储单元 RAID0 控制器内部设计了用于 RAID0 读写带宽测试的逻辑,当计算机发出“读/写带宽测试”指令后,RAID0 控制器通过指令指定的扇区的逻辑块地址(Logical Block Address; LBA)测试范围对硬盘阵列进行连续读写,每块硬盘中一个扇区的大小为 512B,由于该 RAID0 由 4 块硬盘组成,则此时每个扇区实际对应的容量为 2 048B。RAID0 控制器每秒钟向计算机输出一次当前 LBA 计数器值,计数器值被计算机存盘,随后再采用 MATLAB 进行分析。测试采用了两款型号不同的硬盘,型号 1 为西部数据的机械硬盘 WD20EURS,容量为 2TB;型号 2 为英睿

达的固态硬盘 CT512M4SSD2,容量为 512 GB。



(a)存储介质为机械硬盘WD20EURS

(a)Storage medium with mechanical hard disk WD20EURS



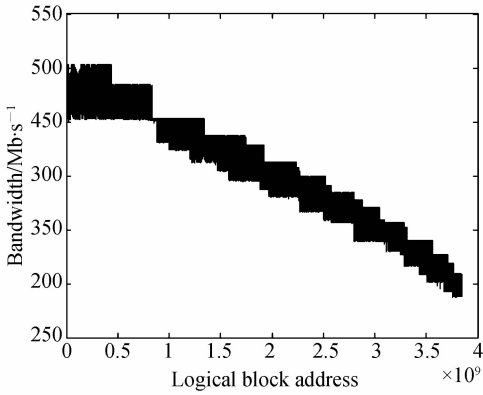
(b)存储介质为固态硬盘CT512M4SSD2

(b)Storage medium with solid state disk CT512M4SSD2

图 8 4 硬盘 RAID0 写带宽图

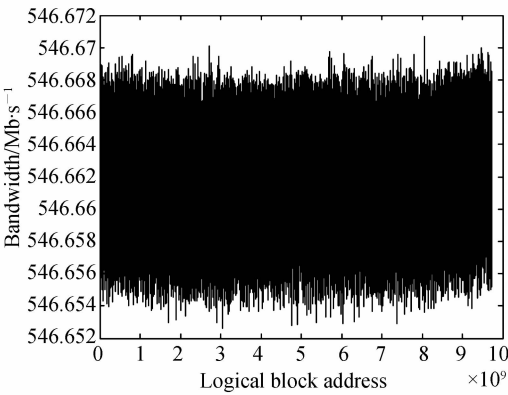
Fig. 8 Write bandwidth of RAID0 with 4 disks

图 8(a)和 8(b)是由 4 块硬盘组成的 RAID0 阵列在不同 LBA 下的写带宽图,其中图 8(a)采用 4 块机械硬盘 WD20EURS,图 8(b)采用 4 块固态硬盘 CT512M4SSD2。图 9(a)和 9(b)是由 4 块硬盘组成的 RAID0 阵列在不同 LBA 下的读带宽图,其中图 9(a)采用 4 块机械硬盘 WD20EURS,图 9(b)采用 4 块固态硬盘 CT512M4SSD2。上述图中纵轴均表示带宽,单位为 MB/s,横轴表示当前的 LBA 地址。可以清楚的看到,由机械硬盘 WD20EURS 组成的 RAID0 阵列,其读写带宽在低扇区地址时较高,随着扇区地址数的增加而呈现阶梯型下降趋势,而由固态硬盘 CT512M4SSD2 组成的 RAID0 阵列读写带宽较为平稳,不会随着扇区地址的变化而有显著的变化。



(a)存储介质为机械硬盘WD20EURS

(a)Storage medium with mechanical hard disk WD20EURS



(b)存储介质为固态硬盘CT512M4SSD2

(b)Storage medium with solid state disk CT512M4SSD2

图 9 4 块硬盘 RAID0 读带宽图

Fig. 9 Read bandwidth of RAID0 with 4 disks

表 3 4 块硬盘 RAID0 性能测试结果

Tab. 3 Test results of performance for RAID0 with 4 disks

硬盘型号	总容量 (TB)	写入带宽 (MB/s)			读出带宽 (MB/s)		
		最大	最小	平均	最大	最小	平均
型号 1	8	495.8	287.7	392.1	503.2	287.8	396.7
型号 2	2	499.1	473.7	493.5	546.6	546.6	546.6

表 3 为由 4 块硬盘组成的 RAID0 阵列性能测试结果,由于在本系统中,单通道 CCD 数据速率不超过 280 MB/s,而由机械硬盘 WD20EURS 组成的 RAID0 阵列最小存储速率仍达 287.7 MB/s,满足系统速率要求,同时考虑到机械硬盘在容量和价格方面的优越性,本系统 RAID0 存储介质采用 WD20EURS,则每个单通道所对应的

RAID0 阵列的容量为 8T,每个存储单元存储深度可达 32T。如果想获得更高的存储速度,只需将机械硬盘更换为固态硬盘即可,更换后单通道存储速率可达 473.7 MB/s,但目前固态硬盘的容量一般不超过 512 GB,在存储深度上会有所下降。

4.2 显示性能测试

为了对系统显示性能进行测试,采用了本实验室研制的信号源。由信号源模拟遥感相机输出的 12 通道图像数据,每通道输出时钟频率为 140 MHz,像元数为 6 144,数据位宽为 12 bit,在信号源输出不同图像数据的情况下都取得了非常满意的测试结果。图 10(a)为信号源输出灰度条时 12 位显示器显示的实时图像,图 10(b)为信号源输出模拟风景图时 12 位显示器显示的回放图像。

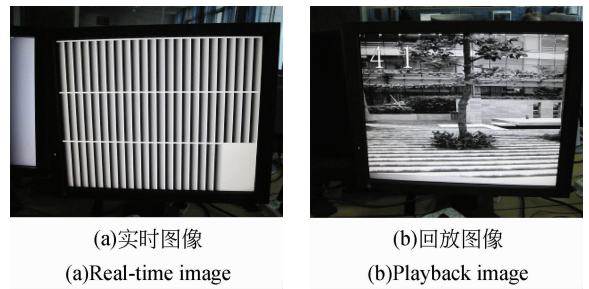


图 10 12 位显示器显示结果

Fig. 10 Display results of 12-bit monitor

图 11 为同一场景 8 位显示效果与 12 位显示效果的对比。其中 8 位显示器显示效果采用舍弃低四位的显示方法。可以清晰地看到,12 位显示器显示的图像比 8 位显示器显示的图像更为细腻,能更好地反应出图像细节变化。

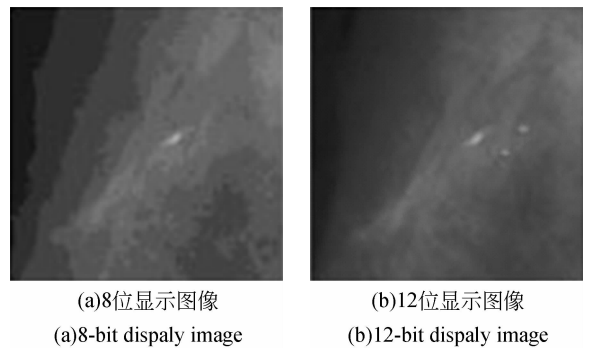


图 11 12 位显示与 8 位显示效果对比

Fig. 11 Image comparison of 8-bit display and 12-bit display

4.3 误码率测试

由于系统在发送时都做了特别的包编号,以

及每个数据包的包累加和统计值,在接收端对两者进行校验,就可以知道数据在传输以及存储过程中是否出现错误。首先,根据包编号判断是否有整包数据丢失,如果包计数始终是连续的,则说明无丢包现象,然后将每包内的有效数据做累加和校验,再将累加和校验的统计值与相应数据包里的包累加数值相比较,若比较值为零,则说明包内数据无错误,若比较值不为零则说明包内数据有错误。同时,在信源端采用多种图像源,既有常用的灰度规律图像,也有真实的自然界图像,这样解决了传统实验时仿真图像源种类单一且图像内容规律的问题。该系统连续工作 24 h 未出现任何错误。

5 结 论

为解决遥感相机输出通道多、数据率高和像素位深高等问题,本文提出了一种基于 FPGA 的快视系统架构。系统充分利用 FPGA 的并行处理能力,首先由 FPGA 直接对多块 SATA 硬盘进

行控制,解决了传统方案中存储容量与存储速度不可兼得的问题;并首次在快视系统中提出硬件数据预处理概念,由 FPGA 直接对高速海量 CCD 图像数据进行缩放、平移和数据融合等操作,克服了计算机处理高速海量图像数据的技术瓶颈;最后采用多台 12 位显示器进行大幅面、高灰阶无缝显示,弥补了以往快视系统只能截断与抽样显示大幅面高灰阶遥感图像的缺陷。

本系统能对遥感相机输出的多通道、高速图像数据进行实时快视、记录和事后回放,可对遥感相机的成像质量和各种性能参数做出准确的评价,给遥感相机的研制人员带来了极大的方便。目前本系统已成功应用在工程项目上,系统运行可靠,性能稳定。实验测试结果显示:该系统存储容量可达 96 TB,可对 12 通道 CCD 图像数据进行记录与实时显示,每通道 CCD 输出时钟频率为 140 MHz,像元数为 6 144,数据为 12 位量化,总速率高达 19.7 Gb/s。如果处理的通道数需要增加,只需增加相应的单元即可,具有良好的扩展性。

参考文献:

- [1] 张达,徐抒岩,王晓东. 基于 FPGA 的高速多通道 CCD 信号并行处理架构的设计与实现[J]. 仪器仪表学报, 2007, 28(4): 219-222.
ZHANG D, XU SH Y, WANG X D. Design and implement of high-speed multi-channel CCD signal parallel process system based on FPGA [J]. *Chinese Journal of Scientific Instrument*, 2007, 28(4): 219-222. (in Chinese)
- [2] 杨淑琴,安登峰. 基于 FPGA 的遥感数据采集与快视系统[J]. 计算机应用, 2007, 27(6): 1442-1444.
YANG SH Q, AN D F. Remote sensing data acquisition and monitor system based on FPGA [J]. *Computer Applications*, 2007, 27(6): 1442-1444. (in Chinese)
- [3] 杨克,卞敏杰. 基于 PCI 总线的数据采集图像快视系统[J]. 空间电子技术, 2006, 3(2): 16-19.
YANG K, BIAN M J. Data acquisition and monitor system based on the PCI bus [J]. *Space Electronic Technology*, 2006, 3(2): 16-19. (in Chinese)
- [4] 刘鹏,张善从. 基于 PC 的吉比特级数据采集快视系统[J]. 计算机工程, 2009, 35(23): 234-236.

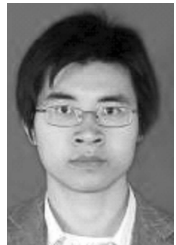
- LIU P, ZHANG SH C. PC-based quick-look system for gigabit data acquisition [J]. *Computer Engineering*, 2009, 35(23): 234-236. (in Chinese)
- [5] 齐春东,陈亮,曾涛. 多通道 CCD 图像数据实时记录系统[J]. 光电工程, 2009, 36(12): 147-150.
QI CH D, CHEN L, ZENG T. Multi-channel image data of CCD real-time record system [J]. *Opto-Electronic Engineering*, 2009, 36(12): 147-150. (in Chinese)
- [6] 刘翔. 高分辨率图像快视技术及实现[J]. 无线电工程, 2006, 36(3): 20-22.
LIU X. "Fast-View" technology and its implementation for high-resolution image [J]. *Radio Engineering*, 2006, 36(3): 20-22. (in Chinese)
- [7] 徐启明,张启衡,陈强. 基于 DDR 模组阵列的超高速数字图像存储技术[J]. 光学精密工程, 2009, 17(1): 231-235.
XU Q M, ZHANG Q H, CHEN Q. Ultra high-speed digital image storage technology based on DDR dual in-line memory module array [J]. *Opt. Precision Eng.*, 2009, 17(1): 231-235. (in Chinese)
- [8] 余辉龙,何昕,魏仲慧,等. 应用 NAND 型闪存的高

- 速大容量图像存储器[J]. 光学精密工程, 2009, 17(10): 2548-2554.
- YU H L, H X, WEI ZH H, *et al.*. High speed and high capacity image recorder based on NAND flash[J]. *Opt. Precision Eng.*, 2009, 17(10): 2548-2554. (in Chinese)
- [9] ZANG J, LI Y F, XUE X CH, *et al.*. Multi-channel high-speed TDICCD image data acquisition and storage system [C]. 2010 *International Conference on E-Product E-Service and E-Entertainment, Henan, China*, ICEEE, 2010: 1-4.
- [10] 范赐恩, 吴敏渊, 张立国, 等. 12 位图像数据的压扩变换显示[J]. 光学精密工程, 2011, 19(6): 1421-1429.
- FAN C E, WU M Y, ZHANG L G, *et al.*. Com-panding transformation display for 12 bit image data [J]. *Opt. Precision Eng.*, 2011, 19(6): 1421-1429. (in Chinese)
- [11] EIZO DATASHEET [OL]. available: <http://www.Eizo.com.cn/eizo/index/asp>, 2010.
- [12] 孙科林, 周维超, 吴钦章. 高速实时光纤图像传输系统的实现[J]. 光学精密工程, 2011, 19(9): 2228-2235.
- SUN K L, ZHOU W CH, WU Q ZH. Realization of high-speed real-time optical fiber image transmission system[J]. *Opt. Precision Eng.*, 2011, 19(9): 2228-2235. (in Chinese)
- [13] Altera. Stratix II GX Transceiver User Guide[Z]. 2007. 6.
- [14] 梁艺, 周卫星. 基于 SoPC 的视频监视器千兆网显示接口设计[J]. 电子技术与应用, 2009, 35(8): 12-15.
- LIANG Y, ZHOU W X. The design of video monitor Gigabit Ethernet display interface based on SoPC [J]. *Application of Electronic Technique*, 2009, 35(8): 12-15. (in Chinese)

作者简介:



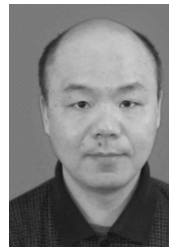
夏巧桥(1987—), 男, 湖北咸宁人, 博士研究生, 2009 年于武汉大学获得学士学位, 主要从事高速实时图像处理平台的研究。E-mail: xqq2947759@163.com



汪鼎文(1981—), 男, 湖北仙桃人, 博士, 讲师, 2008 年于武汉大学获得博士学位, 主要从事智能计算、图像处理、软件工程等方向的研究。E-mail: wangdw@whu.edu.cn



张立国(1961—), 男, 吉林长春人, 硕士, 研究员, 研究生导师, 2003 年于长春理工大学获得硕士学位, 主要从事空间光学遥感器的研究。E-mail: zlgxx9@163.com



吴敏渊(1964—), 男, 湖北武汉人, 硕士, 副教授, 1989 年于武汉测绘科技大学获得硕士学位, 主要从事图像处理、机器视觉方面的研究。E-mail: wmy@whu.edu.cn



陈曦(1980—), 男, 湖北宜昌人, 博士, 副教授, 2007 年于武汉大学获得博士学位, 主要从事人工智能、信号处理、现代电路设计等方面的研究。E-mail: robertcx@whu.edu.cn