

文章编号 1004-924X(2015)11-3270-09

节约器件的三维离散余弦正/反变换通道式算法结构

刘媛媛^{1,2}, 陈贺新¹, 赵 岩^{1*}

(1. 吉林大学 通信工程学院, 吉林 长春 130012;
2. 吉林农业大学 信息技术学院, 吉林 长春 130118)

摘要:针对 3D 离散余弦正/反变换(DCT/IDCT)算法单元通道式结构需大量使用延时器和选择器以及不同分块器件的兼容性问题,提出一种节约延时器和选择器的通用性通道式算法单元及整体结构。首先,根据三维 DCT 理论提出兼容正反变换通用的通道式算法结构;建立由延时器和选择器组成的可重复使用的延时器组模型,使其具有整合性和嵌套性。然后,提出节约延时器的三维 DCT 通用性通道式算法单元及整体结构。最后,利用提出的节约器件的三维 DCT/IDCT 通道式结构对不同格式、不同大小分块的视频信号进行处理。实验结果表明,随着分块增大,提出的节约器件的方法使用的延时器和选择器的数量明显减小,当分块大小达到 $64 \times 64 \times 64$ 时,延时器和选择器使用个数分别降低了 54.7% 和 44.5%。得到的结果说明提出的方法可以减少延时器和选择器的使用,满足硬件对降低成本的要求,提高了能效,同时便于不同分块的集成。

关键词:离散余弦变换/反离散余弦变换(DCT/IDCT);三维通道式算法结构;节约器件;延时器;选择器
中图分类号:TN919 **文献标识码:**A **doi:**10.3788/OPE.20152311.3270

Pipeline architectures of device-saving three dimensional DCT/IDCT algorithm

LIU Yuan-yuan^{1,2}, CHEN He-xin¹, ZHAO Yan^{1*}

(1. College of Communication Engineering, Jilin University, Changchun 130012, China;
2. College of Information Technology, Jilin Agricultural University, Changchun 130118, China)
* Corresponding author, E-mail: zhaoy@jlu.edu.cn

Abstract: The general pipeline architecture units and corresponding structures were proposed. It overcomes the problems that the hardware architectures consisting of delayers, selectors and multiplying units based on 3D DCT/IDCT (Discrete Cosine Transform and Inverse Discrete Cosine Transform) should use a lot of devices independently and their different blocks are not easy to be integrated. Firstly, based on the theory of 3D DCT, universal pipeline algorithm architectures compatible with positive and negative transformations were proposed. The delayer-group models by reusing delayers and selectors were set up to allow the models to be integrative and nested. Then, unit device-saving pipeline architectures and the corresponding whole pipeline architecture of 3D DCT were proposed. Finally, video signals with different formats and size blocks were processed by using this device-saving 3D DCT/IDCT pipeline architectures proposed. The experimental results indicate that

收稿日期:2015-09-01;修订日期:2015-09-29.

基金项目:国家自然科学基金资助项目(No. 61171078, No. 61271315)

the reduce ratio of number of delayers and selectors increases obviously as block size increasing by using our device-saving algorithm. When the block size reaches $64 \times 64 \times 64$, the used number of delayers and selectors reduce by 54.7% and 44.5% respectively. It shows that the proposed method reduces the used number of delayers and selectors, meets the demand of the hardware requirements for reducing costs, improves the energy efficiency, and facilitates the integration of different block sizes.

Key words: Discrete Cosine Transform/Inverse Discrete Cosine Transform (DCT/IDCT); three dimensional pipeline architecture; device-saving; delayer; selector

1 引言

离散余弦变换(Discrete Cosine Transform, DCT)由于变换算法简单、变换效果高效而广泛用于信号处理领域,已成为视频编码 H.264 和 HEVC 标准的核心变换的^[1-3]。DCT 变换,尤其是用于视频编码的三维 DCT 都是根据公式依靠软件算法^[5]和硬件结构完成的^[1-3]。然而软件思路和硬件实现的复杂程度互相制约,在实际应用中,往往需要根据相应的算法特点,使用特定的算法流程,构造 DCT 变换算法^[5]。传统意义上,三维是一维的扩展,即三维算法是一维原理构造的结构多维化的过程,所以在三维变换的硬件实现过程中器件数量将大幅度增加。因此在给定算法结构和保证运算耗时的基础上,降低全部或某种消耗量较大的硬件器件数量^[6]是提高硬件能效的有效手段。此外,当前编码标准中变换处理的分块均是大小可变的^[1-2,7],因此研究便于不同分块集成的兼容性结构算法极为必要。

目前 DCT 算法的研究主要集中在变换核设计^[8-9]和快速算法^[10-11]上,而对于改进 DCT 的相关文献主要着眼于高效^[1-2,9,12]、兼容性^[1,5,9,12]和硬件集成^[2,7,11]等方面。通道式结构^[13]以其简单、便捷、高兼容性等特点被人们广泛采用,此外现场可编程门阵列(Field Programmable Gate Array, FPGA)实验仿真^[14-18]方法也被普遍使用。本文以 Jari A. Nikara 和 Jarmo H. Takala 提出的因式分解 DCT 算法^[19-20]为理论依据,推导出了

$$\mathbf{X}_{3D} = \left\{ \mathbf{U}_N^3 \cdot \left[\prod_{s=k-1}^1 A_N^{(s)} (I_{2^{k-s-1}} \otimes P_{2^{s+1}} \otimes I_{2^k}) (I_{2^{3k-s-1}} \otimes P_{2^{s+1}}) \right] \cdot A_N^{(0)} \cdot \mathbf{P}_N^H \right\} \mathbf{x}_{3D}. \quad (4)$$

与一维类似,变换结构由 3 部分组成: \mathbf{U}_N^3 、 \mathbf{P}_N^H 为输出、输入重排矩阵, $A_N^{(0)}$ 、 $A_N^{(s)}$ 为各级内结构, $(I_{2^{k-s-1}} \otimes P_{2^{s+1}} \otimes I_{2^k}) (I_{2^{3k-s-1}} \otimes P_{2^{s+1}})$ 为级间排列结构,3 部分依次为级联关系。与一维情况

一种高效、低复杂度的三维 DCT 通道式算法结构,并提出离散余弦正/反变换(DCT/IDCT)兼容的通道式结构。针对算法结构中单一、重复、大量、规律使用延时器和选择器的问题,建立了可以复用的延时器组模型,提出一种节约器件的算法结构。最后,将该算法结构应用于不同格式、不同分块的视频信号处理进行原理验证性实验。

2 DCT/IDCT 通道式算法原理及其结构

2.1 DCT/IDCT 通道式算法原理

本文仅考虑 DCT-II 型算法,为了方便省略系数 $\sqrt{\frac{2}{N}}$,N 点 DCT 通道式结构算法定义为^[19]:

$$C_2^k = U_2^k \left[\prod_{s=k-1}^1 Q_N^{(s)} (I_{2^{k-s-1}} \otimes P_{2^{s+1}}) \right] Q_N^{(0)} P_2^H, \quad (1)$$

其中: $2^k = N$ 代表进行变换的点数,本文均采用基 2 的算法,为与多维统一,令 $A_N^{(s)} = Q_N^{(s)}$ 。 P_N^H 和 U_N 代表输入和输出排列。 \otimes 表示张量积,一维 DCT(1D DCT)变换整体写为:

$$\mathbf{X}_D = \mathbf{U}_N \mathbf{K}_N \mathbf{P}_N^H \mathbf{x}_D = \left\{ \mathbf{U}_N \cdot \left[\prod_{s=k-1}^1 A_N^{(s)} (I_{2^{k-s-1}} \otimes P_{2^{s+1}}) \right] \cdot A_N^{(0)} \cdot \mathbf{P}_N^H \right\} \mathbf{x}_D. \quad (2)$$

\mathbf{x}_{3D} 、 \mathbf{X}_{3D} 分别表示三维原信号和正变换的结果,三维 DCT(3D DCT)变换定义为:

$$\mathbf{X}_{3D} = (C_N \otimes C_N \otimes C_N) \mathbf{x}_{3D}. \quad (3)$$

根据 1D DCT 变换结果,3D DCT 整体变换为:

相比,每个部分均为一维结构两次张量积运算而成,而张量积运算在三维结构上体现为线型、面型和体型级联结构的形式。 \mathbf{x}_{3D} 、 \mathbf{X}_{3D} 为 $2^k \times 2^k \times 2^k$ 矩阵系数组成的列向量。

2.2 三维立体类蝶形形式

由 2.1 中基础算法可知,1D DCT 每级中均由基本蝶形运算、单蝶运算、本级交换、乘数运算完成,各级之间通过级联运算和级间排列完成^[19],N=8 点 DCT 运算过程如图 1 所示,结构中每级均含有蝶形运算,因此称此种结构为类蝶形形式。

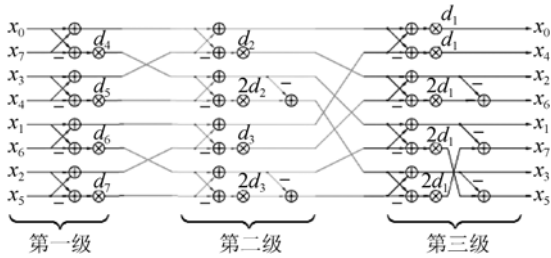


图 1 N=8 点 1D DCT 类蝶形图

Fig. 1 Like-butterfly architectures of 1D DCT with N=8

由于 3D DCT 变换整体如公式(4)所示,其中, $A_N^{(0)}$ 及 $A_N^{(s)}$ 各个 s 取值是级联关系。以图 1 中第一级一个 2 点蝶形运算为例,经三维扩展后,三维立体蝶形图如图 2 所示,可以看出,从一维到三维的蝶形运算分别呈平面线型、立体面型以及四维体型结构。

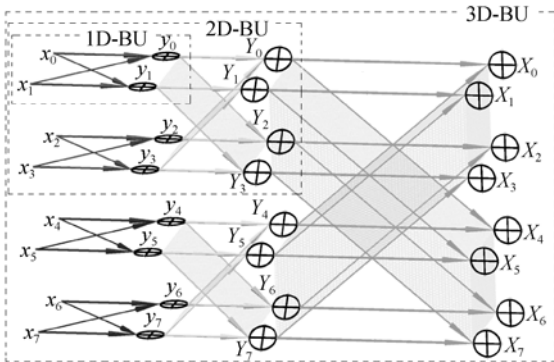


图 2 2x2x2 蝶形图

Fig. 2 Butterfly architectures with 2x2x2

由公式(3)可知,3D DCT 是 1D DCT 中变换核两次“张量积”的运算,因此类似于蝶形运算,3D DCT 类蝶形形式即为 1D DCT 类蝶形形式中每个部分结构形式三维化的结果。反变换(IDCT)是正变换的逆行结构,它们的三维化原理相同。

2.3 通道式结构

由图 1 可知 1D DCT 包括蝶形单元、乘法单元与交换单元 3 种基本结构。统一蝶形单元(UBU)由 3 个控制量控制输出,分别得到蝶形单元(BU)、局部减法蝶形单元(LSU)和局部加法蝶形单元(LAU),如图 3 所示。交换单元,又称移位寄存器,用于级内和级间交换,如图 4 所示。其中(a)是类蝶形交换形式,(b)是产生(a)结构的局部交换单元(LEU),由于带有两个延时器,因此也称为二阶移位交换单元,(c)是多阶移位交换单元(SEU),(d)表示由不同阶数的移位交换单元级联而成的交换单元(PS)。为与一维统一,令类蝶形结构中单元缩写加上角标表示三维情况,如 UBU^3 表示三维 UBU 结构单元。

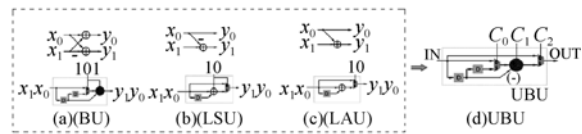


图 3 蝶形运算基本结构示意图

Fig. 3 Diagram of basic butterfly architectures

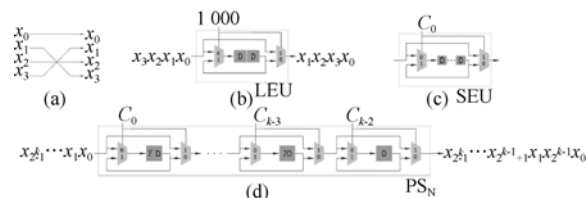


图 4 PS 结构示意图

Fig. 4 Diagram of PS architectures

根据理论基础,以 $N=8, k=3$ 为例,将 3D DCT 和 3D IDCT 通道式结构框图表示如图 5 中所示,其中 LSU^3, BU^3 均用 UBU^3 表示。



图 5 N=8 点 3D DCT/IDCT 通道式结构图

Fig. 5 Schematic diagram of 3D DCT/IDCT pipeline architectures with N=8

比较图 5 中正反变换结构,将其合二为一得到 3D DCT/IDCT 兼容性通道式结构框图,如图 5(c),结构器件示意图如图 6,其中重复结构用灰框代替。可以看出,该结构是从输入到输出顺序完成,并且使用了大量的延时器和选择器,因此需要合理使用和规划器件,以便于提高能效和集成。

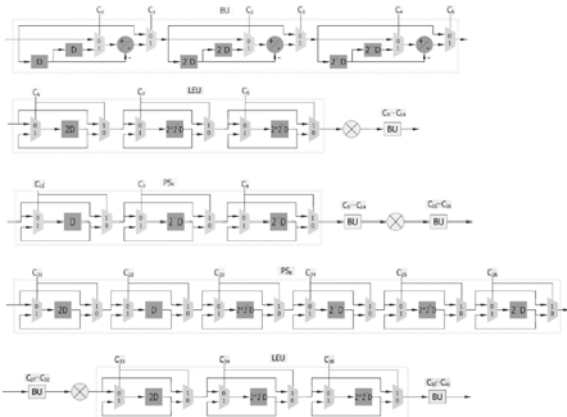


图 6 N=8 点 3D DCT/IDCT 兼容性通道式结构器件示意图

Fig. 6 Diagram of 3D DCT/IDCT compatible pipeline architectures with N=8

3 节约器件 3D DCT/IDCT 通道式结构

3.1 多延时器整合模型的建立

本节仅讨论 DCT 结构, IDCT 结构与之类似。本文提出的 3D DCT 算法中 BU 结构如图 7 所示,所需要延时器(D)的个数见表 1,随着运算块 $N \times N \times N$ 的增大,所需延时器的个数急剧增长,而三维 BU 在通道式结构中仅为一小部分,因此完成整体通道结构需要大量的延时器,而每个延时器在一个周期中仅使用一次,造成了极大的浪费。同时,从整体变换过程看,延时器使用零散,当三维变换的 N 值改变时,算法中的结构单元以及单元中的每级延时器的使用个数均有所改变。因此本文通过分析器件的使用情况,提出了一种配合选择器使用的复用延时器组整合的单元化结构方法。

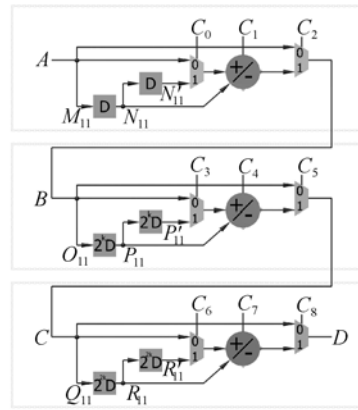


图 7 N=8 点 UBU^3 通道式算法结构器件示意图

Fig. 7 Diagram of UBU^3 pipeline algorithm architectures with N=8

表 1 3D DCT 类蝶形算法不同分块 BU 所需延时器

Tab. 1 Number of delayers required in 3D DCT like-butterfly algorithm with different BU blocks

	$4 \times 4 \times 4$	$8 \times 8 \times 8$	$16 \times 16 \times 16$	$32 \times 32 \times 32$	$64 \times 64 \times 64$
D	42	146	580	2 114	8 322

通过分析三维结构单元可知,其均由三级级联而成,每级之间只相差延时器部分。因此,节约延时器总体思路为:首先固化一个延时器模块,使其在相应的延时部分带有抽头;然后将各个抽头与多选一选择器相连,选择器由控制端控制输出;最后将总的输出端反馈到总的输入端,形成级联反馈输入,进行下一级运算。对于输出端口,运算的 3 个周期分别得到 3 个维度的运算结果。多延时器固化模块 I 如图 8(a)所示,每个立体块代表一个延时器,标号为延时器连接位置,信号从“1”号箭头输入,从“1”号箭头输出代表经过一个延时,从“2”号延时器输出代表连续经过“1”、“2”号两个延时器,依次递推。

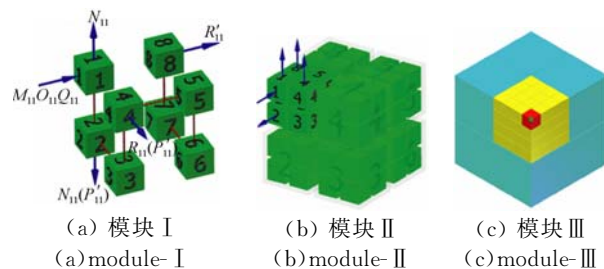


图 8 多延时器固化模块结构示意图

Fig. 8 Architecture diagram of multi-delayer solidified module

仍以 UBU^3 为例, 延时器位置如图 7, 对应图 8(a) 中相应抽头位置, 不同点数的 UBU^3 每级第一部分延时器 N_{11} 、 P_{11} 、 R_{11} 抽头的位置也有所不同。延时器模块思路为将不同点数延时器“整合打捆”, 然后再用一级选择器输出, 将输出的 N 、 P 、 R 再经选择器进行选择。 UBU^3 整合结构所需延时器个数如表 2(彩图见期刊电子版) 所示。

表 2 UBU^3 整合结构所需延时器相对数量

Tab. 2 Relative number of delayers in UBU^3 integrated architectures

	N_{11}	N'_{11}	P_{11}	P'_{11}	R_{11}	R'_{11}	整合	重复	未整合
$2 \times 2 \times 2$	1	2	2	4	4	8	8	4	14
$4 \times 4 \times 4$	1	2	4	8	16	32	32	16	42
$8 \times 8 \times 8$	1	2	8	16	64	128	128	64	146
$16 \times 16 \times 16$	1	2	16	32	256	512	512	256	580
$32 \times 32 \times 32$	1	2	32	64	1024	2048	2048	1024	2114
$64 \times 64 \times 64$	1	2	64	128	4096	8192	8192	4096	8322

表 2 中浅灰色区域延时器位置如图 8(a) 多延时固化模块 I (简称模块 I) 箭头所示, 当延时器成倍增加时可将模块 I 整体看成一个单元进一步整合, 称为多延时固化模块 II (简称模块 II), 如图 8(b), 其以单元为单位的延时器组连接顺序与模块 I 中以延时器为单位相同, 模块 II 共有延时器 64 个。表 2(彩图见期刊电子版) 中橙色区域延时器的位置如图 8(b) 所示, 如 R'_{11} 的位置为第“4”单元“8”号延时器输出。同理, 继续扩展多延时器固化模块 III 如图 8(c), 图中绿色位置即为模块 I 单元, 模块 III 共有延时器 4 096 个。

对表 2 做进一步分析可以看出, 延时器均为 2 的整数倍增长, 而通道式算法最为重要的结构特点是信号从一侧出发依次经过器件至另一侧结束, 这样在此结构周期内通道中前一个结构中延时器使用完毕后将不再使用, 所以本文采用输出延时器错时返回重复利用的方法降低算法周期内延时器的使用个数, 重复使用可以进一步降低延时器的使用个数, 如表 2 蓝色区域所示。

将延时器以之为基数成倍增长的量称为基量, 图 8(a) 所建立的延时器模型均是以 1 个延时器为基量, 而很多时候延时器的基量并不为 1, 因此以基量为单位延时器建立延时器模型, 称为延

时器的嵌套模型。设基量为 m 个延时器, 对比表 2 第一行数据, 位置 N_{11} 、 P_{11} 、 R_{11} 、 R'_{11} 对应经过延时器的个数分别为 mD 、 $2mD$ 、 $4mD$ 、 $8mD$ 。对多级延时器组时常采用这种延时器嵌套模型。

3.2 节约延时器 3D DCT/IDCT 通道式算法结构

由 3.1 可知, 3D DCT 通道式算法结构中主要包括蝶形单元和排列单元。以蝶形单元为例, 3D DCT 中 UBU^3 单元结构如图 7, 由三级级联而成, 延时第一级为 D 和 $2D$, 第二级为 $2^k D$ 和 $2^{2k} D$, 第三级为 $2^{2k} D$ 和 $2^{4k} D$, A 端为输入, B、C、D 端分别为线型、面型及体型输出, 控制端 c_0 至 c_9 控制 B、C、D 端输出蝶形运算关系。采用延时器组的 UBU^3 结构单元如图 9 所示, 方框内为节约延时器的延时器组模型, 延时器组配合 4 选 1 选择器使用, 控制端 S_0 、 S_1 的高低电平组合控制延时器组的输出, 当延时器组选择 D 、 $2^k D$ 和 $2^{2k} D$ 为输出端时, 2 选 1 选择器和加法器控制量 c_0 和 c_1 以 1 、 2^k 和 2^{2k} 个时钟周期进行跳变, c_2 控制蝶形运算形式。

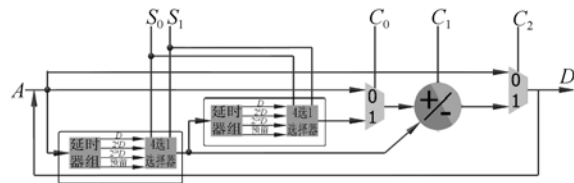
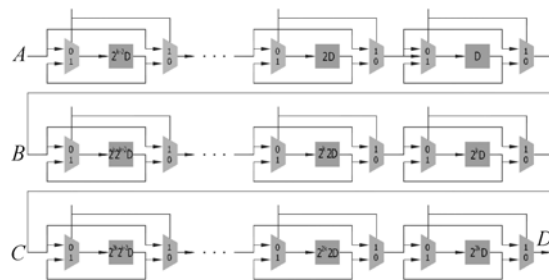


图 9 带有延时器组的 UBU^3 结构单元

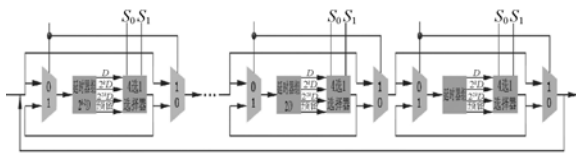
Fig. 9 UBU^3 architectures unit with delayer-group

同理, 三维排列单元 PS_N^3 如图 10(a) 所示, 其中省略选择器的控制量, 每级中亦为级联结构, 延时器分别以第一级中的 D 、 $2D$ 和 $2^{k-2} D$ 为基量进行 2^k 、 2^{2k} 倍延时, 使用延时器嵌套模型, PS_N^3 经延时器组整合后如图 10(b) 所示。



(a) 未使用延时器组

(a) Without delayer-group



(b)使用延时器组
(b) With delayer-group

图 10 PS_N 结构单元

Fig. 10 PS_N architecture unit

综上所述,节约器件 3D DCT/IDCT 通道式算法结构如图 11。与图 6 对比可知,三维结果类似于通道式算法结构的一维情况,固定模式的延时器组的使用使得结构整洁,有利于多维化扩展。

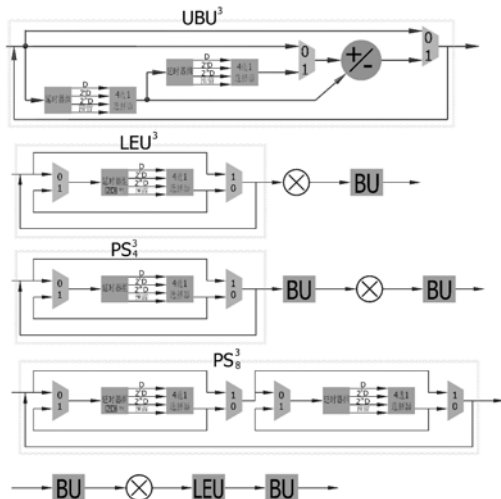
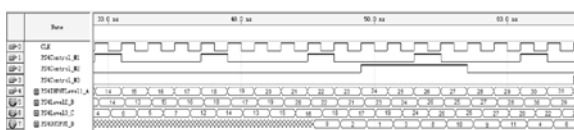


图 11 节约器件 3D DCT/IDCT 通道式算法结构

Fig. 11 Device-saving 3D DCT/IDCT pipeline algorithm architecture

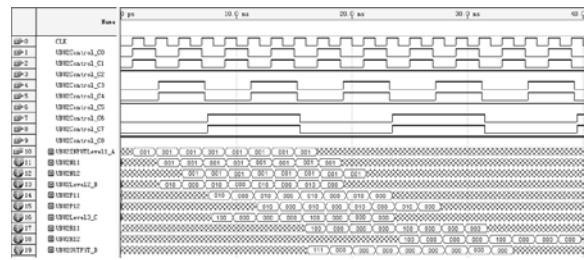
4 实验结果及分析

实验仿真环境为:计算机处理器 CPU Intel (R) Core (TM) i3-2120@3.30 GHz, Windows 7 32-bit 操作系统;3.17 GB 可用内存;Quartus II 软件开发环境。针对本文提出的通道式算法结构中蝶形单元(UBU³, N=2,图 12(a))和交换单元(PS₄³,图 12(b))两个核心单元进行硬件仿真实验。仿真结果表明,蝶形单元达到了能量集中的效果,交换单元实现了数据交换的目的。



(a) PS₄³ 单元(片段)

(a) PS₄³ unit (fragment)



(b) UBU³ 单元

(b) UBU³ unit

图 12 仿真波形

Fig. 12 Simulation waveforms

对比分析通道式算法结构三维参考方法^[19]和本文提出的节约器件结构方法的结果,不同大小分块时每个单元块延时器(D)和选择器(S)的使用个数如表 3 所示,当分块增大时,节约器件方法使用延时器和选择器的数量减小的比例均增大,当达到 64×64×64 时,延时器节约比例达到 54.7%,选择器节约比例达到 44.5%,延时器增大的幅度大于选择器,这是因为随着分块大小的增大,节约延时器方法中 2 选 1 选择器使用的数量减少了 2/3,而整合延时器模型中 4 选 1 选择器的使用降低了选择器减少的比例。

表 3 不同分块 DCT/IDCT 器件使用个数

Tab. 3 Number of devices in DCT/IDCT with different block sizes

	参考方法		本文方法			节约 D 比例/%	节约 S 比例/%
	D	S	D	S	S		
	(2to1)	(2to1)	(2to1)	(4to1)	(4to1)		
4×4×4	147	24	128	8	7	12.9	37.5
8×8×8	1 168	54	1 024	18	14	12.3	40.7
16×16×16	7 917	90	6 144	30	22	22.4	42.2
32×32×32	52 850	132	32 768	44	31	38.0	43.2
64×64×64	362 007	182	163 840	60	41	54.7	44.5

注:单位(个)。

将视频信号按行列像素和帧建立三维信号模型,选用 HD(1 920×1 080)、SIF(352×288)和 QCIF(176×144)的 300 帧和 150 帧视频信号进行实验,对比通道式算法结构参考方法和本文提出的节约器件三维 DCT/IDCT 结构方法对于不同大小分块时总体延时器使用个数,如表 4 所示,

选择器使用个数如表 5。可以看出,延时器和选择器的使用个数均有不同程度的降低,本文提出的节约器件的方法较参考通道式算法节约延时器的个数从 10^6 到 10^8 ,节约延时器的个数从 10^3 到 10^9 ,节约器件的 DCT/IDCT 变换通道式算法对

大块器件节约效果明显。本文算法大大减少了延时器和选择器的使用数量,节约了硬件成本,减小了硬件集成面积,同时使用相同的延时器组和 4 选 1 选择器模型,加强了各种分块 DCT/IDCT 通道式算法结构的兼容性。

表 4 不同尺寸视频信号不同分块 DCT/IDCT 变换延时器使用个数

Tab. 4 Number of delayers in DCT/IDCT algorithms with different size video signals and different block sizes

视频信号尺寸	4×4×4		8×8×8		16×16×16		32×32×32		64×64×64	
	参考方法	本文方法	参考方法	本文方法	参考方法	本文方法	参考方法	本文方法	参考方法	本文方法
1920×1080×300	85.730	74.650	143.804	126.075	122.745	95.257	107.814	66.847	92.312	41.779
1920×1080×150	72.395	63.037	71.902	63.037	64.603	50.135	53.907	33.423	55.387	25.068
352×288×300	6.985	6.083	7.030	6.164	5.957	4.623	5.232	3.244	5.430	2.458
352×288×150	3.539	3.082	3.515	3.082	3.135	2.433	2.616	1.622	3.258	1.475
176×144×300	1.746	1.521	1.758	1.541	1.489	1.156	1.586	0.983 0	1.629	0.737 3
176×144×150	0.884 8	0.770 5	0.878 8	0.770 5	0.783 8	0.608 3	0.792 8	0.491 5	0.977 4	0.442 4

注:单位(10^7 个)。

表 5 不同尺寸视频信号不同分块 DCT/IDCT 变换选择器使用个数

Tab. 5 Number of selectors in DCT/IDCT algorithms with different size video signals and different block sizes

视频信号尺寸	4×4×4		8×8×8		16×16×16		32×32×32		64×64×64	
	参考方法	本文方法	参考方法	本文方法	参考方法	本文方法	参考方法	本文方法	参考方法	本文方法
1920×1080×300	1 399.68	874.8	664.848	393.984	139.536	80.621	26.928	15.3	4.641	2.575 5
1920×1080×150	1 181.95	738.72	332.424	196.992	73.44	42.432	13.464	7.65	2.784 6	1.545 3
352×288×300	114.048	71.28	32.503 68	19.261 44	6.771 60	3.912 48	1.306 8	0.742 50	0.273	0.151
352×288×150	57.784 3	36.115 2	16.251 84	9.630 72	3.564	2.059 2	0.653 4	0.371 25	0.163 8	0.090 9
176×144×300	28.512	17.82	8.125 92	4.815 36	1.692 90	0.978 12	0.396	0.225	0.081 9	0.045 45
176×144×150	14.446 08	9.028 8	4.062 96	2.407 68	0.891	0.514 8	0.198	0.1125	0.049 14	0.027 27

注:单位(10^5 个)。

5 结 论

在一种仅由延时器、选择器和乘法器组成的 3D DCT/IDCT 算法单元通道式结构中,针对该结构大量一次性使用器件以及不同分块器件兼容性的问题,本文提出一种节约延时器和选择器的结构方法。通过对 3D DCT/IDCT 通道式算法结构单元的分析可知,三维算法结构是一维结构级联三维化的结果。因此,建立由带有抽头规则顺序排列的延时器组和选择器组成的延时器组模型替换原有结构中相应单元,得到了维度结果可控的 3D DCT/IDCT 通道式结构,同时延时器组模

型的建立也大大提高了三维处理时不同分块器件使用的兼容性。将视频信号按行列像素和帧建立三维视频块模型,用 3D DCT/IDCT 通道式算法结构和本文提出的方法进行了对比实验。实验结果表明,从 $4\times 4\times 4$ 到 $64\times 64\times 64$ 不同大小分块的视频信号处理中,延时器和选择器的使用个数均有大幅度降低,当分块达到 $64\times 64\times 64$ 时,延时器的使用比例降低了 54.7%,选择器使用比例降低了 44.5%。上述结果说明该节约器件方法高能、节约、有效。此外,本文提出的方法具有良好的多维扩展性,为多维 DCT/IDCT 变换提供了一种新的结构形式。

参考文献:

- [1] CONCEICAO R, SOUZA JC, JESKE R, *et al.*. Power efficient and high throughput multi-size IDCT targeting UHD HEVC decoders[C]. *IEEE International Symposium on Circuits and Systems, Melbourne, AUSTRALIA; ISCAS*, 2014:1925-1928.
- [2] SUN H M, ZHOU D J, LIU P L, *et al.*. A low-cost VLSI architecture of multiple-size IDCT for H. 265/HEVC[J]. *IEICE Transactions on Fundamentals of Electronics Communications and Computers Sciences*, 2014, E97A(12):2467-2476.
- [3] PASTUSZAK G. Flexible architecture design for H. 265/HEVC inverse transform[J]. *Circuits Systems and Signal Processing*, 2015, 34(6):1931-1945.
- [4] 王墨林, 莽思淋, 桑爱军, 等. 彩色图像三维六边形离散余弦变换编码[J]. *光学精密工程*, 2013, 21(1):217-223.
- WANG M L, MANG S L, SANG A J, *et al.*. Three dimensional hexagonal discrete cosine transform for color image coding [J]. *Opt. Precision Eng.*, 2013, 21(1): 217-223. (in Chinese)
- [5] HUANG H, XIAO L Y, LIU J M. CORDIC-based unified architectures for computation of DCT/IDCT/DST/IDST [J]. *Circuits Systems and Signal Processing*, 2014, 33(3):799-814.
- [6] LAI S C, LIU C H, WANG L Y, *et al.*. 11. 25-ms-group-delay and low-complexity algorithm design of 18-band Quasi-ANSI S1. 11 1/3 octave digital filterbank for hearing aids [J]. *IEEE Transactions on Circuits and Systems 1-Regular Papers*, 2015, 62(6):1572-1581.
- [7] 杨启洲, 刘一清. 基于 HEVC 的多长度 DCT 变换的 VLSI 设计[J]. *微电子学*, 2015, 45(1):102-105.
- YANG Q ZH, LIU Y Q. Design of DCT of different lengths VLSI architecture for HEVC[J]. *Microelectronics*, 2015, 45(1):102-105. (in Chinese)
- [8] 桑爱军, 王艇, 栾晓利, 等. 2M 维矢量余弦整数变换核矩阵 [J]. *光学精密工程*, 2013, 21(7):1891-1897.
- SANG A J, WANG T, LUAN X L, *et al.*. 2 M-dimensional vector integer DCT transform kernel matrix [J]. *Opt. Precision Eng.*, 2013, 21(7):1891-1897. (in Chinese)
- [9] CHEN Y H, JIU R Y, CHANG T Y, *et al.*. A high-throughput and area-efficient video transform core with a time division strategy [J]. *IEEE Transactions on Very Large Scale Integration (VLSI) System*, 2014, 22(11):2268-2277.
- [10] 桑爱军, 吴杨, 崔海廷, 等. 基于多维矢量矩阵的离散余弦变换快速算法[J]. *光学精密工程*, 2013, 21(3):799-806.
- SANG A J, WU Y, CUI H T, *et al.*. Fast DCT algorithms based on multi-dimensional vector matrix [J]. *Opt. Precision Eng.*, 2013, 21(3): 799-806. (in Chinese)
- [11] HUANG H, XIAO L Y. CORDIC based fast algorithm for power-of-point DCT and its efficient VLSI implementation [J]. *Microelectronics Journal*, 2014, 45(11):1480-1488.
- [12] CHEN Y H, CHEN J N, CHANG TY, *et al.*. High-throughput multistandard transform core supporting MPEG/H. 264/VC-1 using common sharing distributed arithmetic [J]. *IEEE Transactions on Very Large Scale Integration (VLSI) System*, 2014, 22(3):463-474.
- [13] AGGRAWAL E, KUMAR N. High throughput pipelined 2D discrete cosine transform for video compression [J]. *International Conference on Issues and Challenges in Intelligent Computing Techniques, Ghaziabad, INDIA; ICICT*, 2014:702-705.
- [14] 吴君钦, 李艳丽, 刘昊. “类整数 DCT” 变换基去相关性性能分析 [J]. *液晶与显示*, 2013, 28(2):278-283.
- WU J Q, LI Y L, LIU H. De-correlation characteristic analysis of variety integer DCT transform radix [J]. *Chinese Journal of Liquid Crystals and Displays*, 2013, 28(2):278-283. (in Chinese)
- [15] 陈建军, 金强宁, 章鹏, 等. 基于 FPGA 的 TFT 液晶显示时序控制器设计[J]. *液晶与显示*, 2015, 30(4):647-654.
- CHEN J J, JIN Q N, ZHANG P, *et al.*. FPGA-based TFT LCD timing controller design [J]. *Chinese Journal of Liquid Crystals and Displays*, 2015, 30(4):647-654. (in Chinese)
- [16] 司马苗, 周源华. 基于 FPGA 的二维 DCT 变换的实现[J]. *红外与激光工程*, 2003, 32(4):436-439.
- SI M M, ZHOU Y H. Implementation of 2D DCT based on FPGA [J]. *Infrared and Laser Engineering*, 2003, 32(4):436-439. (in Chinese)
- [17] 刘海秋, 徐抒岩, 王栋, 等. 面向多通道控制系统的通道数可变的并行实时测试[J]. *红外与激光工*

程,2013,42(12):3300-3308.

LIU H Q, XU SH Y, WANG D, *et al.*. Concurrent real-time test for multi-channel control system with variable number of channels [J]. *Infrared and Laser Engineering*, 2013,42(12):3300-3308. (in Chinese)

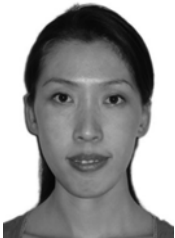
- [18] 吴军,王海伟,郭颖,等.资源有限 FPGA 的多通道时间-数字转换系统[J]. 红外与激光工程,2015,44(4):1208-1217.

WU J, WANG H W, GUO Y, *et al.*. Resources-limited FPGA based-multi-channel TDC system

[J]. *Infrared and Laser Engineering*, 2015,44(4):1208-1217. (in Chinese)

- [19] NIKARA J A, TAKALA J H, ASTOLA J T. Discrete cosine and sine transforms-regular algorithms and pipeline architectures[J]. *Signal Processing*,2006,86(2):230-249.
- [20] TAKALA J, NIKARA J, PUNKKA K. Pipeline architecture for two-dimensional discrete cosine transform and its inverse[C]. *Proceedings of the Ninth International Conference on Electronics, Circuits and Systems, Dubrovnik, Croatia*;2002:947-950.

作者简介:



刘媛媛(1980—),女,吉林长春人,博士研究生,讲师,2010年于长春工业大学获得硕士学位,主要从事图像和视频处理、视频编码方面的研究。E-mail: yuanyuan10@mails.jlu.edu.cn



赵岩(1971—),女,吉林辽源人,博士研究生,教授,博士生导师,2003年于吉林大学获得博士学位,主要从事图像与视频编码和立体视频处理方面的研究。E-mail: zhao_y@jlu.edu.cn

(版权所有 未经许可 不得转载)