

文章编号 1004-924X(2016)02-0438-10

三旋光结构一步无进位加法器的设计

宋 凯*

(华东交通大学 信息工程学院, 江西 南昌 330013)

摘要:针对现阶段光学计算机研究中涉及的光学加法器硬件制备困难,输入有限定性等问题,基于 MSD(Modified Signed-Digit)加法原理及对称 MSD 编码技术,设计并实现了一种全新的光学加法器—三旋光结构一步式无进位加法器。阐述了该加法器的主光路结构设计过程和方案,给出了三旋光器抽象结构,分析和设计了控制光路的光路结构,并给出了易于硬件制备的电路实现具体方案。该加法器制备简单,对输入没有限制,并且可以一步并行完成数以千位的加法。针对上述光路和电路实现方案进行了实验验证,完成了 13 位以内的二进制数的无进位加法运算。实验结果表明:本文所设计的一步式无进位加法器原理正确、方案合理,并具有众多数据位数并行运算的潜力。

关键词:三旋光结构;一步无进位加法器;光路;电路;MSD 加法

中图分类号:TP381;TP301 **文献标识码:**A **doi:**10.3788/OPE.20162402.0438

Design of one-step carry-free adder with three-rotator structure

SONG Kai*

(School of Information Engineering, East China Jiaotong University, Nanchang 330013, China)

* Corresponding author, E-mail: skpark@163.com

Abstract: The research of optical adders for modern optical computers suffers from hardware implementation difficulties, limited qualitative inputs and so on, so this paper designs and complements a new optical adder. It is a three-rotator structure one-step adder with carry-free based on Modified Signed-Digit (MSD) addition theory and symmetry MSD coding technology. The paper describes the main optical structure design and programs of the adder in detail, gives the abstract structure of the three rotator, designs the optical structure of the control optical path, and offers specific programs of circuit implementation. The adder can easily be achieved, does not limit inputs, and can implement thousands of data-bit addition by a parallel model in a single step. Finally, specific experiments are designed to verify above optical structures and circuit scheme, and the carry-free binary addition of 13 data-bits is completed. Experimental results show that the principle of the one-step carry-free adder design is correct, the circuit scheme is reasonable, and it has great potential in the numerous data bit parallel computing.

Key words: three rotator structure; one-step carry-free adder; optical path; circuit; MSD addition

收稿日期:2015-09-23;修订日期:2015-11-12.

基金项目:国家自然科学基金资助项目(No. 61162001);江西省自然(青年)科学基金资助项目(No. 20132BAB211027, No. 20151BAB217017)

1 引 言

光自身的物理性质使得光学计算机具备一些电子计算机所没有的优点:可以达到更高的速度^[1-3]、具有更多的物理状态。故可实现多值表达;光束之间不易干扰故可实现更多的数据位数^[4-6];能量消耗小故可实现更低的功耗等。上述这些优势使得光学计算机一直是计算机科学中的重要分支。在光学计算机的相关研究中,逻辑运算器的研究相对成熟,由于光束之间不易干扰,光学计算机易于实现众多数据位并行的逻辑运算,但科学运算的另一重要基础运算——加法运算存在进位的问题,众多数据位的并行加法难以实现,因此无进位加法器的研究显得尤为重要。目前和光学加法器相关的研究主要有两个分支。第一个分支主要集中在光学逻辑门的设计与实现上,如 Dzedolik I V 等就通过可控的光晶设计了一种光学逻辑“与”门, Li Z 等人通过半导体光放大器辅以光纤设计了全光逻辑门, Xu Q F 等人则采用 Si 环形共鸣器实现了全光逻辑门^[7-14]。浙江大学周海峰等人采用多模干涉方法对光学逻辑编码器进行了研究,中科院半导体所廖裁宜、中山大学李燕明、北京邮电大学的周云峰、西南交通大学的邹龙方、北京化工大学的王会军等都分别采用不同的方法对各种全光逻辑门进行了研究^[15-20]。第二个分支根据计算机的基本原理来考察光的物理特征,通过寻找合适的光学特征和成熟的空间调制器,以现代技术(主要是电子计算机技术)为背景,研发能充分发挥光学优势并且在硬件上容易制备的光学加法器,比如上海大学的彭俊杰等人研究了三值光学计算机 MSD(Modified Signed-Digit) 加法器的回馈电路,沈云付等人提出了限制输入的无进位加法器,随后潘磊等人又提出了一种改进的限制输入无进位光学加法器等^[21-26],这些研究取得了一系列重大突破,成为后续研究的重要基础,但由于研究的阶段性,仍存在制备困难和输入有限定等局限性。本文以 MSD 加法原理为基础,应用对称 MSD 编码方式构建了一个全新的无进位加法器的运算规则,该规则的输入不受限制,基于该规则,本文设计出了一步无进位加法器

的光路结构,并给出了易于硬件制备的电路实现方案。

2 MSD 计数法

2.1 MSD 数表达式

1961 年 Avizienis 首次提出 MSD 表示法,后来 Draker 等人将其引入光计算中。在常规的二进制表达中使用 0 和 1 两个符号,MSD 是一种冗余计数法,在 MSD 计数法中使用 0, 1 和 u(表示 -1)3 个计数符号。显然,由于存在冗余,MSD 中的一个数值可能有几种表示形式。给定一个十进制数 X ,其 MSD 表达式为:

$$X = \sum_i x_i \times 2^i, \quad (1)$$

其中: a_i 的值域为 $\{u, 0, 1\}$, u 表示 -1。

2.2 MSD 数加法

MSD 加法的最一般算法可以分为 3 个步骤,共运用了 4 种变换,其真值表如表 1 所示,其中 T 和 T' 变换用于得到 MSD 加法的进位、 W 和 W' 变换用于得到 MSD 加法的本位,之所以采用两种不同的变换形式做同一个操作是为了利用冗余性消除进位。比如利用 T 和 W 变换可以得到 $0+1=1u$,利用 T' 和 W' 变换,则为 $0+1=01$ 。

表 1 MSD 加法使用的 4 个变换

Tab. 1 Four translations of MSD addition

T 变换		W 变换		T' 变换		W' 变换	
a	b	a	b	a	b	a	b
u	0	u	0	u	0	u	0
0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0
u	0	u	0	u	0	u	0
0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1

MSD 加法的具体过程如下所示:

第 1 步:对两个输入值 a 和 b 的相应位分别实行 T 和 W 变换,位数少的数值前面补 0。 T 变换的结果称为 s , W 变换的结果称为 w 。给 s 后补 0,称为中间结果 t 。

第 2 步:对两个中间结果 t 和 w 的相应位分别进行 T' 和 W' 变换,位数少的数值前面补 0。

T' 变换的结果称为 s' , W' 变换的结果称为 w' 。

给 s' 后面补 0, 称为中间结果 t' 。

第 3 步:对两个中间结果 t' 和 w' 的对应位再次进行 T 变换,位数少的数前面补 0,变换结果即最终结果 c 。

MSD 加法虽然需要经过 3 个步骤,但其没有进位产生,而且核心的 4 个变化都是简单的逻辑变化,易于光学实现。

2.3 三值光计算机与 MSD 加法

三值光学计算机有 3 个物理状态,这与 MSD 计数法的 3 个符号正好一一对应,因此在三值光学计算机中引入 MSD 加法是非常合适的,也正好可以解决由于巨位数并行而带来了进位延时问题。不过在前期的研究中,三值光学计算机直接使用三步式 MSD 加法,这意味着每一个完整的加法需要 3 次光电转换和 3 次数据回馈,这将给硬件制备带来困难,从而降低加法运算的整体速度。本文的一步式加法器将 MSD 加法运算过程缩减为一步,省去了中间的回馈和光电转换过程,大大提高了运算效率,降低了硬件制备复杂度。

3 三旋光结构无进位加法器的原理

3.1 对称 MSD 编码及其第二步加法

3.1.1 对称 MSD 编码

在进行加法运算的过程中,并行加法的最大障碍在于存在进位以及进位传递的不确定性(一个最低位产生的进位,在特殊情况下,可以传递到最高位),进位传递的本质是因为操作数中可能会出现连续的 1 或者连续的 -1 这样的编码组合,比如 011111 和 101111,以及类似的两个操作数进行加法时产生的进位传递。而 MSD 作为一种冗余的计数方法,其每一个操作数的编码方式是可以改变的。这也就意味着通过某种编码方式(即符号替换)可以将操作数中连续的 1 或者 -1 消除,这样重新编码后的两个数相加时,其进位最多只是产生在运算位的左侧,则不会产生进位传递。Cherri 找到了一种对称 MSD 编码可满足上述规则。如表 2 所示,其 $A_i A_{i-1} A_{i-2} A_{i-3}$ 表示编码前的 MSD 数, Z_i 表示编码后的对称 MSD 数,其中的符号 d 表示任意,即 0, 1, u 均可。由编码规则可以看出,该编码完全可以并行实现,并不影响计算效率。

表 2 对称 MSD 数编码表

Tab. 2 Coding table of symmetrical MSD

$A_i A_{i-1} A_{i-2} A_{i-3}$	uuud	uu0u	uu01	uu1d	uu00	u0ud	u00d	u01d	u1ud	u10u	u100	u101	u11d
Z_i	0	0	1	1	0	1	1	u	u	u	0	0	0
$A_i A_{i-1} A_{i-2} A_{i-3}$	0uud	0u0u	0u00	0u01	0u1d	00dd	111d	1101	110u	11ud	1100	101d	100d
Z_i	u	u	u	0	0	0	0	0	u	u	0	u	u
$A_i A_{i-1} A_{i-2} A_{i-3}$	10ud	1u1d	1u01	1u00	1u0u	1uud	011d	0101	0100	010u	01ud		
Z_i	1	1	1	0	0	0	1	1	1	0	0		

3.1.2 对称 MSD 数的第二步加法

由于对称 MSD 数相加不会产生进位传递,则它们的加法就很容易实现并行化。如果采用两种变换方式则可轻松实现对称 MSD 数的无进位加法。具体的步骤如下:

第一步:利用变换 T' (表 1 所示)计算出进位序列 s 。利用变换 W' (表 1 所示)计算出半加和 c 。将 s 左移一位变成 t 。

第二步:利用 W' 变换对 s 和 t 进行运算,得出的结果即为最终结果。

例如,设有两个数 $A = -3173_{(10)}$, $B = 1161_{(10)}$,则其 MSD 表示分别为 uu00 u001 11u1 和 011u u001 u001。利用表 2 对两数重新编码,编码前应在 MSD 数的最高位前面加一个 0,最低位后面加 3 个 0,则编码后的两数分别为:u010 u101 0u10 u 和 01u0 0100 0101 u。加法可由以下两步完成:

第一步:利用 W' 变换计算 A 和 B 的半加和 $c = u100 u001 0011 0$,利用 T' 变换计算出进位序列 $s = 0000 0100 0000 u$,将 s 左移一位得到 $t =$

0000 1000 000u 0。

第二步:对 s 和 t 再作 W' 变换,得到结果 $Z= u100 0001 0010 0 = -2012(10)$,其与理论计算值相符合。

利用这种方法可以在两步内完成无进位加法,而且也是并行的,但这种方法仍然存在一次中间过程。

3.1.3 一步实现无进位加法

上述两步法实现无进位加法的方法在具体光路结构设计时仍然面临中间结果存储及光电转换的问题。因此进一步考虑实现一步加法才更有现实意义。Li 等人曾经采用 CAM(Content Addressable Memory)方法实现了一步 MSD 加法,但由于其采用的光学部件和光路结构都比较复杂,故只能处于实验阶段,在实际制备硬件时非常困难。因此,需要从另外一个角度考虑该问题。要通过一步实现上述两个操作数的加法,必须一次考虑两位数。比如若要计算第 i 位的结果 Z_i ,则应考虑操作数 A_iA_{i-1} 和 B_iB_{i-1} 的数值运算情况,据此可以建立如表 3 所示的运算规则。由于经过对称 MSD 编码以后的数不可能存在 11 和 uu 的形式,所以表中 11 和 uu 所对应的行和列取值均为 x ,表示该值无意义。

表 3 一步 MSD 加法真值表

Tab. 3 Truth table of one-step MSD addition

B_iB_{i-1} A_iA_{i-1}	10	1u	11	u0	u1	uu	00	0u	01
10	0	0	x	0	0	x	1	1	1
1u	0	u	x	0	0	x	1	0	1
11	x	x	x	x	x	x	x	x	x
u0	0	0	x	0	0	x	u	u	u
u1	0	0	x	0	1	x	u	u	0
uu	x	x	x	x	x	x	x	x	x
00	1	1	x	u	u	x	0	0	0
0u	1	0	x	u	u	x	1	u	0
01	1	1	x	u	0	x	1	0	1

还以上例中的两个数 A 和 B 为例,利用一步加法规则完成 $Z=A+B$ 的过程如下:

首先将编码后的两个数的末尾补 0,则 A 、 B 的编码分别变为: $u010 u101 0u10 u0$ 和 $01u0 0100 0101 u0$ 。利用表 3 的规则对两数进行运算,则一步可得到结果 $Z= u100 0001 0010 0 =$

$-2012(10)$,这与理论计算值相符合。

3.2 三旋光结构

3.2.1 设计思想

从上文描述可知,一步无进位加法器理论上是可行的,但需要给出一个合理的、可行的光路设计方案,才能将其应用到三值光计算机中。三值光计算机是以偏振方向相互正交的两种偏振光和无光态 3 种光状态来表示信息的,通常这 3 种状态对应 3 个字符: W 、 V 和 H 分别对应无光、垂直偏振光和水平偏振光。将表 3 中的 0、1 和 u 分别用 w 、 v 和 H 代替,则可得到表 4 所示的真值表。

表 4 三值光状态表示的真值表

Tab. 4 Truth table represented by W , V and H

B_iB_{i-1} A_iA_{i-1}	VW	VH	VV	HW	HV	HH	WW	WH	WV
VW	W	W	x	W	W	x	V	V	V
VH	W	H	x	W	W	x	V	W	V
VV	x	x	x	x	x	x	x	x	x
HW	W	W	x	W	W	x	H	H	H
HV	W	W	x	W	V	x	H	H	W
HH	x	x	x	x	x	x	x	x	x
WW	V	V	x	H	H	x	W	W	W
WH	V	W	x	H	H	x	V	H	W
WV	V	V	x	H	W	x	V	W	V

从表 4 着手,设计出可以实现一步无进位加法的光路结构,根据降值设计理论,考虑用 7 个组件实现一步无进位加法器,其中组件一用于实现表 4 中第一行保持不变,其余各行输出均为 W 光的真值表,组件二用于实现表 4 中第二行保持不变,其余各行输出均为 W 光的真值表,以此类推,由于第三行和第六行的输出没有意义,所以无需考虑,因此共需设计 7 个组件,然后将 7 个组件的输出结果叠合即可得到最终的结果。

3.2.2 三旋光结构

一步无进位加法器共需 7 个组件,限于篇幅,不便一一介绍。本文选择其中主光路最为复杂的组件 7 进行详细介绍,其他组件的设计过程与其类似。组件 7 对应表 4,即第 9 行保持不变,其余各行输出均为 W 光的情况,如表 5 所示。整体的光路结构可以分为两个部分进行介绍:主光路设计和控制光路设计。

表 5 组件七的真值表

Tab. 5 Truth table of module 7

$B_i B_{i-1}$	VW	VH	VV	HW	HV	HH	WW	WH	VV
VW	W	W	x	W	W	x	W	W	W
VH	W	W	x	W	W	x	W	W	W
VV	x	x	x	x	x	x	x	x	x
HW	W	W	x	W	W	x	W	W	W
HV	W	W	x	W	W	x	W	W	W
HH	x	x	x	x	x	x	x	x	x
WW	W	W	x	W	W	x	W	W	W
WH	W	W	x	W	W	x	W	W	W
VV	V	V	x	H	W	x	V	W	V

在表 5 中,仅在 $a_1 a_2$ 为 WV 的情况下有光输出,故可以采用图 1 中的结构 1 实现。在 $a_1 a_2$ 为 WV 的情况下,也存在输出为无光的情况(比如 $b_1 b_2$ 为 HV 和 WH 的时候),则可用结构 2 来实现(与结构 1 类似)。由于结构 2 最后是一个 V 偏振片,因此其输出的只能为 V 光,但是真值表中存在 H 光输出,所以最好增加一片液晶(即 Lc_3)来实现旋光。

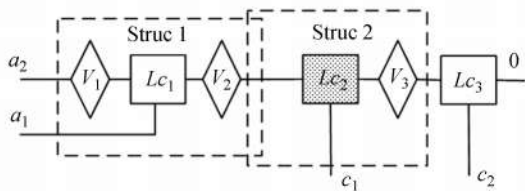


图 1 组件 7 主光路结构图

Fig. 1 Main optical path of module 7

注:图 1 中, v_1 、 v_2 和 v_3 均为垂直偏振片, Lc_1 和 Lc_3 为常不旋光液晶, Lc_2 为常旋光液晶。 $a_1 a_2$ 为相邻的两位主光路输入信号, $c_1 c_2$ 为来自于控制光路的光控信号,该信号由 $b_1 b_2$ 经过控制光路变换产生, O 为输出光。本文其他图形的符号表示均与其一致。

类似地,其他几个组件的主光路结构如图 2 所示。图 2 中, s 为面光源, H 为水平偏振片,方框内结构 WtoV 可以将无光态 W 转变为垂直偏振光 V,其他符号表示与图 1 一致。在图 2 中,除了组件 5 外,其他的光路结构均比较类似,都采用了 3 层液晶进行旋光运算。组件 5 特殊之处在于其输入的两路光信号均为 W,此时必须启用无光

转有光的相关机制,本文中称为 WtoV 部件,故可以将主光路的结构抽象成图 3 的形式。由于该结构采用了三层液晶进行旋光运算,故称为三旋光结构。

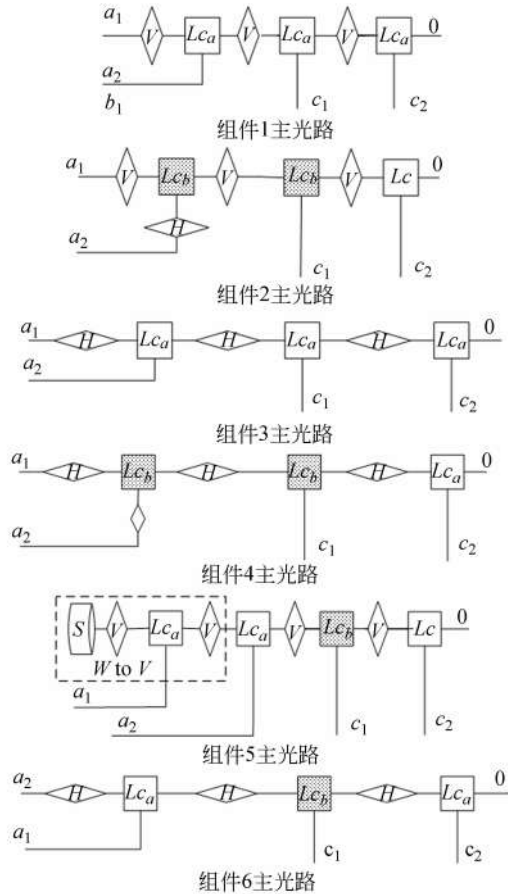


图 2 主光路结构

Tab. 2 Main optical path

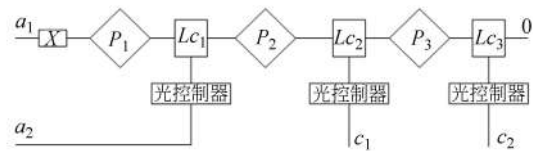


图 3 三旋光结构

Fig. 3 Three rotator structure

图 3 中, X 可以是闭光伐或 WtoV 部件;偏振片 P_1 、 P_2 和 P_3 都可以是垂直偏振片或水平偏振片;旋光器 Lc_1 、 Lc_2 和 Lc_3 可能是常旋光液晶单元或常不旋光液晶单元;光控制器可以是闭光阀、通光阀、垂直偏振片和水平偏振片 4 种情况之一;控制信号 c_1 和 c_2 来自于控制光路的输出端。

3.2.3 三旋光结构的速度

在三旋光结构中,主光路液晶单元的状态根据控制光路的输入信号的不同而改变。一方面,运算速度取决于液晶状态的变化速度(即液晶响应频率);另一方面,对于主光路液晶状态保持不变的运算,比如取非及比较等运算,则其计算速度与液晶的变化速度无关,只决定于光线 a 穿过 3 个偏振片(P_1 、 P_2 和 P_3)和 3 片液晶像素(L_{C1} 、 L_{C2} 和 L_{C3})的时间 t 。由于 t 等于光线穿越三旋光结构主光路的光程除以光速,所以 t 与偏振片和液晶阵列的厚度及其折射率成正比,目前三旋光结构实验系统主光路所用偏振片和液晶阵列的厚度总和约 1.8 mm,考虑到折射率等因素,光线穿过这种主光路的时间不会超过 0.9×10^{-11} s^[7]。所以,三旋光结构的计算速度将超过 100 GHz 数量级。减小光路的折射率或减小厚度都会提高这类运算的速度,比如,若主光路采用厚度为 0.06 mm 的液晶阵列,则该类型运算的运算速度将达到 10^3 GHz。

3.3 控制光路结构

控制光路主要用于控制图 3 中 L_{C2} 和 L_{C3} 两片液晶是否旋光。其中 L_{C2} 的旋光性决定了是否有光输出, L_{C3} 的旋光性决定了在有光输出的情况下,最终输出的是 H 光还是 V 光。对于控制光路结构的具体设计,同样可以应用降维设计理论和行运算器思想,首先获取光路结构对应的真值表,然后根据真值表逐行实现光路结构,并最终叠合实现控制信号输出。

以 $b_1 b_2$ 作为输入端,表 5 中第 6 行的值作为输出端,建立一个新的真值表,用于辅助设计控制光路,如表 6 所示。在表 6 中, $b_1 b_2$ 的组合为 HH 和 VV 的时候,其输出可以为任意值(因为这两种情况在表 5 中不存在),为了简化控制电路设计,将它们设定为 H 和 W。

真值表中的 x 无实际意义,可以取任意值。每个真值表均有 3 行组成,根据行运算器思想,每一行可对应一条光路分支,如果该行输出全部为 W,则无需光路分支。由此可推算出,组件 1、组件 3 的控制光路结构仅需一条分支,组件 2、4 和 5 的控制光路由两个分支组成,组件 6 和 7 的控制光路由 3 个分支组成。上文提到的组件 7,其控制光路结构如图 4 所示。图中的 OP_1 、 OP_2 和 OP_3 分别代表一个光路分支,对应于表 6 中组件

7 控制光路真值表的 1~3 行。为了设计方便组件 7 控制光路真值表第二行的 x 取值为 W,第三行的 x 取值为 V,最终形成图 4 所示的控制光路结构。

表 6 7 个组件控制光路的真值表

Tab. 6 Truth table of control optical path for 7 modules

输入值 $b_1 b_2$	组件 1	组件 2	组件 3	组件 4	组件 5	组件 6	组件 7
W W	V	V	H	H	W	V	V
W H	V	W	H	H	W	H	W
W V	V	V	H	W	W	W	V
H W	W	W	W	W	H	H	H
H H	x	x	x	x	x	x	x
H V	W	W	W	V	H	H	W
V W	W	W	W	W	V	V	V
V H	W	H	W	W	V	W	V
V V	x	x	x	x	x	x	x

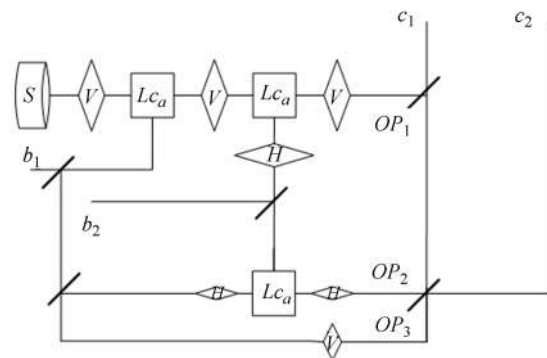


图 4 组件 7 的控制光路结构

Fig. 4 Control optical path structure of module 7

3.4 7 个组件完备的光路结构

按照上述思路同样可以实现其它 6 个组件的控制光路结构。结合 3.2 节设计的主光路结构,最终可设计出 7 个组件的完备光路结构,如图 5 所示。其最终的结果可由 7 个组件的结果叠合而成。

4 实验验证

本文设计了一组实验,以验证上述光路设计的可行性和正确性。本文仍以组件 7 为例介绍实验过程及结果。

4.1 实验思路及实验器件

在 3.4 节中,给出了组件 7 的完备光路结构

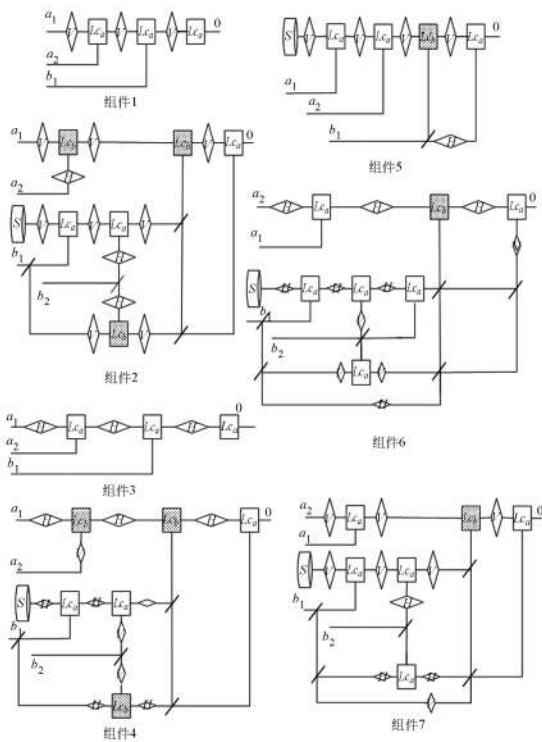


图 5 7 个组件的完备光路结构图

Fig. 5 Complete optical structure diagram of seven components

图,实验设计仍然依据图 5 组件 7 所示的光路结构来进行。图中共使用了 4 种光学器件:光源、液晶、偏振片和半反半透镜。由于实验对于光源的形状、大小要求都不是很高,并且考虑到控制方便,本文选用普通的白炽台灯作为光源。选择 TN(扭曲向列)型笔段式液晶作为液晶器件。该液晶的结构如图 6 所示。单片液晶共有 15 个可控制的液晶点。从图 1 可知,模块 6 实际上共有 4 条光路,其中 1 条主光路和 3 条控制光路,在每条光路上可能需要多层液晶(比如主光路需要 4 层),每一层只需要一个液晶像素。可以在一片液晶上实现 4 条光路,具体方案是:3A,3F 用于主光路;2A,2F 用于控制光路 1;2E,2D 用于控制光路 2;3E,3D 用于控制光路 3。之所以用两个像素位实现一个液晶点功能,是为了便于观察以及在光电转换时识别 V 光还是 H 光。可以通过多片叠加实现(中间贴上相应的偏振片)多层液晶。另外,由于该液晶是电控液晶,不再需要半反半透镜,但相应地要增加光电过程以及一些电路以代替图 1 中的光路控制。光电转换选用偏振片+光电二极管方式实现。光电二极管选择 TSL14s 高

速光强传感器。为了实验方便,用 DICE-SEM II 型 FPGA 实验箱实现电路结构。

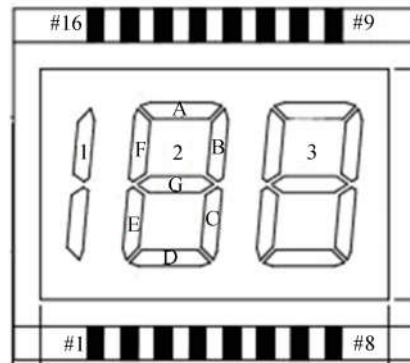


图 6 TN 型笔段式液晶

Fig. 6 TN-typed stroke segment LCD

4.2 实验电路设计

图 5 的光路结构中并不包括电路,故需要重新设计实验所需的电路。为了方便描述,首先介绍在电路中使用较多的编码器和解码器的结构,并对它们进行封装。编码器用于生成所需的偏振光,如图 7(a)所示,其有两个输入端 c_1 、 c_2 用于控制两片液晶,一个输出端用于输出偏振光。解码器用于光电转换,如图 7(b)所示,其输入为偏振光,输出为电信号,V 端为 1 表明输入为 V 光,H 端为 1 表明输入为 H 光。三旋光结构 VLVLVL 用于改变光状态,有一个光输入端和 3 个电输入端,以及一个光输出端,结构如图 1 所示。名称 VLVLVL 字母的含义如下:V 代表垂直偏振片,L 代表常旋光液晶。实际上三旋光结构可以表现为多种形式,比如组件 6 的主光路对应的结构可表示为 HLHLHL 等等,另外当液晶层数减少的时候,同样可以采用类似的形式表达偏振片+液晶的结构,比如 HLH,表示两层水平偏振片夹一片液晶。在本实验中采用的液晶均为常旋光液晶,这与图 1 是不同的,因为常旋光液晶在实际实验时更容易得到,而常不旋光液晶的功能可以通过翻转常旋光液晶电控信号实现。利用这几个基本结构可以将图 1 所示的光路结构转化为图 5 所示的以电路为主体的结构。

注:三值光状态 V、H 和 W 在电子计算机中是以二值方式存储的,所以每个光状态需要两位二进制编码,即三值的 a_1 需要二值的 a_{11} 和 a_{12} 编码,图 8 中的 a_{11} 、 a_{12} 以及 b_{11} 、 b_{12} 的含义由此可知。具体的编码规则是,V 光的二进制编码为 11,H

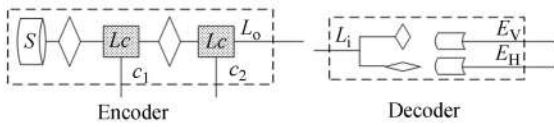


图 7 编码器和解码器
Fig. 7 Encoder and decoder

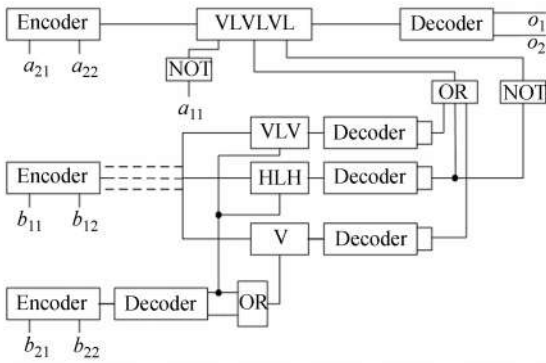


图 8 电路结构
Fig. 8 Circuit structure

光的编码为 10, W 光的编码为 00。假设 a_1 为 H 光, 则 a_{11} 为 1, a_{12} 为 0。另外在图 8 中, NOT 表示非门, OR 表示或门, 中间的 3 条虚线表示由于光源是面光源, 所以不需任何器件即可分成 3 条光路。实验中所有的液晶均采用常旋光液晶, 而主光路的第一层和第三层均为常不旋光液晶, 所以在其控制信号的输入端增加 NOT 门翻转电控信号, 以使常旋光液晶实现常不旋光液晶的功能。

4.3 实验过程及结果

4.3.1 实验过程

在实验之初, 首先按照图 8 所示结构, 在 MAXPLUS 中设计电路, 确定各引脚的使用情况, 明确其编号。然后进行线路的连接, 实验箱上的电键 $K_1 \sim K_8$ 对应 $a_1 a_2, b_1 b_2$ 来设置其八位编码, $K_9 \sim K_{16}$ 几个电键用于控制多层液晶使用的冗余问题(比如, 在控制光路 3 中不需要液晶, 此时可以给相应的控制位直接加电, 让其从不旋光)。主光路解码器的输出 o_1 和 o_2 分别接一个 LED 的控制端, 便于观察实验结果。线路连接好以后, 则可将设计好的电路进行编译, 并烧写到实

验箱的存储器中运行。

4.3.2 实验结果

实际实验时, 所有的 7 个模块都要搭建起来, 一一进行验证。首先对加法真值表进行验证, 观察到的结果与理论值一致。

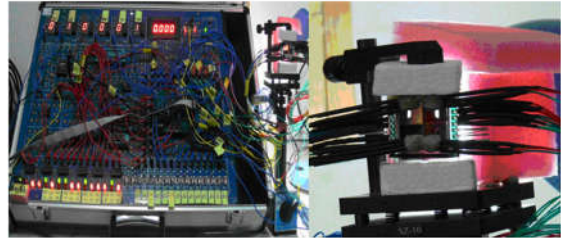


图 9 实验截图
Fig. 9 Experimental screenshot

图 9 显示了当 $a_1 a_2$ 为 HW, $b_1 b_2$ 为 WV 时的实验结果, 此时主光路输出为 H 光, 控制光路 1 输出为 V 光, 其他光路为 W 光。然后对上文涉及的数据 $A = -3173_{(10)}, B = 1161_{(10)}$ 进行计算, 由于实验设计的是一位运算, 所以须多次操作才能得到最终结果, 显示的结果与理论结果一致。可见本文的一步 MSD 加法器设计是正确的, 可行的。

5 结 论

构建快速、巨位数并行的加法器是光学计算机研究进程中亟待解决的问题。MSD 数字系统用 3 个符号来表示二进制数据, 这正好和三值光计算机的 3 个光状态契合。本文基于 MSD 加法原理及对称 MSD 编码技术, 设计并实现了三旋光结构的一步式无进位加法器, 使得数以千位的加法可以在一步内并行完成。目前, 在实验中已经实现了 10 位以内的加法运算, 实验结果也证明了本文所设计的一步式无进位加法器正确、可靠, 并具有众多数据位数并行计算的巨大潜力。但是, 在实际的加法器制备过程中, 多层液晶的光损耗, 以及巨位数带来的光束解码干扰是下一研究阶段应该深入思考和解决的。

参考文献:

[1] KOTIYAL S, THAPLIYAL H, RANGANATHAN N. Efficient reversible NOR gates and their mapping in optical computing domain[J]. *Microelectronics Jour-*

nal, 2014, 45(6): 825-834.

[2] LEMOS G B, RIBEIRO P H, WALBOM S P. Optical integration of a real-valued function by measurement of a stokes parameter[J]. *JOSA A*, 2014,

- 31(4): 704-707.
- [3] GARD B T, OLSON J P, CROSS R M, *et al.*. Inefficiency of classically simulating linear optical quantum computing with Fock-state inputs [J]. *Physical Review A*, 2014, 89(2): 022328.
- [4] FRYETT T K, DODSON C M, MAJUMDAR A. Cavity enhanced nonlinear optics for few photon optical bistability[J]. *Optics Express*, 2015, 23(12): 16246-16255.
- [5] FUSHIMI A, TANABE T. All-optical logic gate operating with single wavelength[J]. *Optics Express*, 2014, 22(4): 4466-4479.
- [6] SINGH S, KALER R S, KAUR R. Realization of high speed all-optical half adder and half subtractor using SOA based logic gates[J]. *Journal of the Optical Society of Korea*, 2014, 18(6): 639-645.
- [7] MORIN O, HUANG K, LIU J, *et al.*. Remote creation of hybrid entanglement between particle-like and wave-like optical qubits[J]. *Nature Photonics*, 2014, 8(7): 570-574.
- [8] PENG J, SHEN R, JIN Y, *et al.*. Design and implementation of modified signed-digit adder [J]. *IEEE Transactions on Computers*, 2014, 63(5): 1134-1143.
- [9] BOMMI R M, RAJA S S. All optical implementation of high speed and low power reversible full adder using semiconductor optical amplifier based Mach-Zehnder interferometer[J]. *Journal of Computer Science*, 2014, 10(7): 1130.
- [10] SARKAR P P, MUKHOPADHYAY S. All optical frequency encoded NAND logic operation along with the simulated result[J]. *Journal of Optics*, 2014, 43(3): 177-182.
- [11] LI Q L, YUAN H L. All-optical logic gates based on cross-phase modulation in an asymmetric coupler[J]. *Optics Communications*, 2014, 319: 90-94.
- [12] JIN Y, HE H, LÜ Y. Ternary optical computer principle[J]. *Science in China Series F: Information Sciences*, 2003, 46(2): 145-150.
- [13] YAN J Y, JIN Y, ZUO K Z. Decrease-radix design principle for carrying/borrowing free multi-valued and application in ternary optical computer [J]. *Science in China Series F: Information Sciences*, 2008, 51(10): 1415-1426.
- [14] JIN Y, WANG H J, OUYANG S, *et al.*. Principles, structures, and implementation of reconfigurable ternary optical processors[J]. *Science China Information Sciences*, 2011, 54(11): 2236-2246.
- [15] 宋凯, 金翊, 欧阳山, 等. 双旋光器结构的可重构三值光学处理器[J]. *光学精密工程*, 2012, 20(9): 1890-1898.
- SONG K, JIN Y, OUYANG S, *et al.*. Reconfigurable ternary optical processor with double rotator structure[J]. *Opt. Precision Eng.*, 2012, 20(9): 1890-1898. (in Chinese)
- [16] JIN Y, SHEN Y F, PENG J J, *et al.*. Principles and construction of MSD addition in ternary optical computer [J]. *Science China Information Sciences*, 2010, 53(11): 2159-2168.
- [17] SONG K, YAN L. Design and implementation of the one-step MSD addition of optical computer[J]. *Applied Optics*, 2012, 51(7): 917-926.
- [18] BAKHTIAR L A, YAGHOUBI E, HAMIDI S M, *et al.*. Optical RNS adder and multiplier[J]. *International Journal of Computer Applications in Technology*, 2015, 52(1): 71-76.
- [19] 王灿进, 孙涛, 石宁宁, 等. 基于双隐层 BP 算法的激光主动成像识别系统[J]. *光学精密工程*, 2014, 22(6): 1639-1647.
- WANG C J, SUN T, SHI N N, *et al.*. Laser active imaging and recognition system based on double hidden layer BP algorithm [J]. *Opt. Precision Eng.*, 2014, 22(6): 1639-1647. (in Chinese)
- [20] JUN Z, ZHI Q L, LIU L Q. Cavity physical properties of SPP propagation in the MIM structure [J]. *Infrared and Laser Engineering*, 2015, 44(3): 852-856.
- [21] ZHANG C X, WANG L, GAO S. Dynamic Allan variance analysis for stochastic errors of fiber optic gyroscope[J]. *Infrared and Laser Engineering*, 2014, 43(9): 3081-3088.
- [22] 孙继明, 郭疆, 邵明东, 等. 大视场时间延迟积分 CCD 遥感相机精密定焦 [J]. *光学精密工程*, 2014, 22(3): 602-607.
- SUN J M, GUO J, SHAO M D, *et al.*. Precise focusing for TDICCD camera with wide field of view [J]. *Opt. Precision Eng.*, 2014, 22(3): 602-607. (in Chinese)
- [23] DJORDJEVIC I B, CVIJETIC M. Advanced schemes for all-optical computing, optical error correction, and optical signal processing [C]. 2015 17th International Conference on Transparent Optical Networks (ICTON) IEEE,

- 2015: 1-6.
- [24] WU K, SOCI C, SHUM P P, *et al.*. Computing matrix inversion with optical networks[J]. *Optics Express*, 2014, 22(1): 295-304.
- [25] 王国良,刘金国,龙科慧,等. 离轴三反航天测绘相机像移对成像质量的影响 [J]. *光学精密工程*, 2014, 22(3):806-813.
- WANG G L, LIU J G, LONG K H, *et al.*. Influence of image motion on image quality of off-axis TMA aerospace mapping camera [J]. *Opt. Precision Eng.*, 2014, 22(3):806-813. (in Chinese)
- [26] YIN Z, WU J, ZANG J, *et al.*. All-optical logic gate for XOR operation between 40-Gbaud QPSK tributaries in an Ultra-Short silicon nanowire[J]. *Photonics Journal*, 2014, 6(3): 1-7.

作者简介:



宋 凯(1980—),男,河南泌阳人,博士,副教授,2002年、2007年于华东交通大学分别获得学士、硕士学位,2014年于上海大学获得博士学位,主要从事三值光计算机、嵌入式系统方面的研究。E-mail: skpark@163.com

(版权所有 未经许可 不得转载)