

文章编号 1004-924X(2017)增-0281-07

## 红外焦平面探测器信号处理模块设计

葛 军,汪 晓\*,任月敏

(中国科学院 上海技术物理研究所 红外物理国家重点实验室  
红外探测与成像技术重点实验室,上海 200083)

**摘要:**针对基于场景的神经网络非均匀性校正算法对硬件架构自身数据运算与传输能力要求较高的问题,为实现片上实时运算、高效数据处理等目标,选取了 Kintex7 系列的 XC7K325T FPGA 和 TI C66x 系列 TMS320C6657 DSP 芯片,搭建了基于 FPGA 和双核 DSP 架构的信号处理模块。在设计中引入了高速率 DDR3 来提高系统整体数据吞吐能力,并利用 SRIO 接口技术设计并实现了 FPGA 和 DSP 之间的数据互连,达到了 2.5 Gb/s 的理论传输速率。同时,在 DSP 处理芯片内部实现了神经网络非均匀性校正算法逻辑,片上实时计算校正参数矩阵,在  $640 \times 512$  分辨率红外探测器连续 50 h 工作的模式下稳定运行。最终,集成模块最大单板面积为  $90 \text{ mm} \times 52 \text{ mm}$ ,整个模块综合高度低于 50 mm,红外图像输出非均匀性稳定低于 0.1%,满足了小型化、实时性的信号处理模块设计需求并达到了工程标准。

**关键词:**红外焦平面探测器;数字图像处理;非均匀性校正;神经网络算法

**中图分类号:**TP752.1 **文献标识码:**A **doi:**10.3788/OPE.20172513.0281

## Design of signal processing module for infrared focal plane detector

GE Jun, WANG Xiao\*, REN Yue-min

(National Lab for Infrared Physics, Key Lab of Infrared System Detection and Imaging Technology,  
Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China)

\* Corresponding author, E-mail: ethanwx19@163.com

**Abstract:** Aimed at the neural network non-uniformity correction algorithm based on scenes requires high standards on hardware architecture data operation and transmission capacity, in order to achieve on-chip real-time operation, high-efficient data processing and other purposes, XC7K325T FPGA chip of Kintex 7 series and TMS320C6657 DSP chip of TI C66x series were adopted to construct signal processing module based on FPGA and dual-core DSP architecture. DDR3 with high speed was introduced in the design to improve overall system data throughput capacity, statistical interconnection between FPGA and DSP was designed and achieved by using SRIO interface technology, and theoretical transmission speed of 2.5 Gb/s was reached. At the same time, algorithm logic of neural network non-uniformity correction was realized in the interior of DSP processing chips, correction parameter matrix was calculated in real time on the chips, and stable operation was implemented under the mode of continuous work for 50 H of infrared detector with resolution ratio of  $640 \times 512$ . Finally, maximum single board area of integrated module is  $90 \text{ mm} \times 52 \text{ mm}$ , integrated height of the whole module is less than

收稿日期:2017-07-10;修订日期:2017-07-27.

基金项目:“十三五”装备预研资助项目(No. 41414050206)

50 mm and stability of non-uniformity of infrared image output is less than 0.1%, which satisfies miniaturized and real-time design demands of signal processing module, and achieves engineering standard.

**Key words:** infrared focal plane detector; digital signal processor; non-uniformity correction(NUC); neural network

## 1 引言

上世纪 80 年代起,依靠 DSP 技术的信号处理系统被广泛应用于航天、通信和探测等领域。与此同时,红外焦平面探测器技术也取得了长足进步,以军用红外预警系统为主要应用方向的红外探测器代表了其在军事探测领域内的先进水平,国内业已开始研制红外预警系统。随着红外焦平面探测设备在军用装备建设过程中备受关注,现今在对其所依赖的信号处理模块方面性能要求日益提高。如何实现信号处理模块小型化、提升数据传输处理的实时性及图像传输质量,成为现今图像处理系统的主要发展目标。

基于现场可编程门阵列(FPGA)和数字信号处理器(DSP)的硬件架构是现今搭建信号处理模块的首要选择。Altera、Xilinx 等公司生产的 FPGA 拥有灵活的逻辑配置实现能力,可以用来统筹控制硬件时序。DSP 芯片集成了众多硬件加速器,对图像数据相关的处理算法进行了优化。使用 FPGA 搭配以多片 DSP 强大的并行运算处理能力,可以结合两者的资源与技术优势,提高系统的整体效率<sup>[1]</sup>。这些高性能芯片产品为本文急需解决的系统小型化与实时性需求提供了解决方案。

此外,由于红外焦平面探测器是由众多独立的探测单元所组成,各单元间光电响应不完全相同,无法避免地存在空间非均匀性问题<sup>[2]</sup>。1990 年,D. A. Scribner 提出基于神经网络的场景非均匀性校正算法,用自适应迭代方法解决了图像非均匀性问题;自此,基于统计模型自适应校正、基于定标的自适应校正等基于场景的非均匀性校正方法得到广泛应用。不同于单点校正和两点校正等基于辐射源标定的校正方法,基于场景的非均匀性校正无需在探测器使用前对校正参数进行

标定,而是利用探测器实时采集的红外图像计算校正参数,避免了因探测器响应时间漂移特性而带来的校正偏差。其中,神经网络非均匀性校正算法通过在迭代运算过程中实时修正校正参数,在场景快速变换下对探测成像单元响应曲线的非线性和时间漂移特性有很好的适应性<sup>[3]</sup>。然而,迭代运算对芯片数据运算和处理能力有较高的需求。为此,传统的小型化器件设计往往采用 PC 接受图像数据、进行运算再返回至信号处理模块的方案。但此种方案实时性效果不如人意,芯片与 PC 端互连的数据传输速度限制了图像非均匀性的实时性需求,在快速的场景变换下,无法实时处理得到有效的校正参数矩阵。

为实现片上运行神经网络非均匀性算法目的,提高模块小型化和实时性水平,提出一种结合高性能 FPGA 和多核 DSP 芯片的红外焦平面信号处理模块整体架构的设计方案。本文选择了 TI 公司 C66x 系列 TMS320C6657 CZHA25 DSP 芯片以及 Xilinx 公司 Kintex7 系列的 XC7K325T 1FBG676I FPGA 作为硬件基础,FPGA 与 DSP 之间通信采用 SRIO 高速串行接口互连设计,并内嵌 DDR3 控制模块以充分利用 FPGA 内部高速率 DDR3 的数据读写与存储能力。同时,采用神经网络非均匀性校正方案,在片上利用 DSP 高效的运算能力对图像进行实时处理,实现自适应的图像校正,力图较传统的互连 PC 处理方案在实时性方面有着显著提升。

## 2 信号处理模块设计实现

### 2.1 硬件总体设计与器件选取

如图 1 所示,基于多核 DSP+FPGA 的红外图像处理模块主要由探测器、FPGA 控制处理模块、DSP 运算模块、DDR3 外部存储和 Cameralink 和 USB 等接口器件组成。

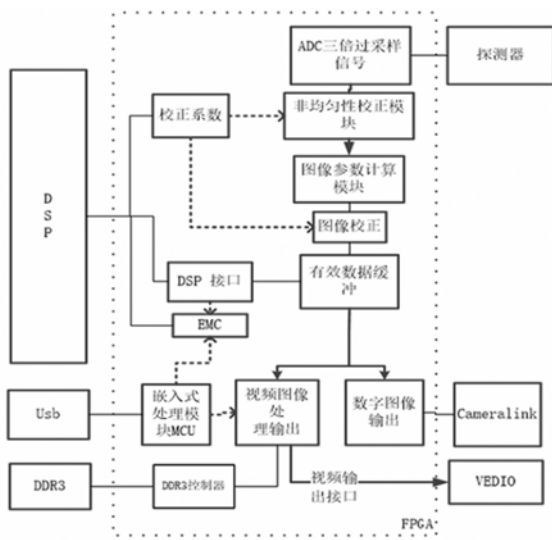


图 1 红外图像处理组件框架

Fig. 1 Framework of infrared image processing components

FPGA 是控制硬件时序、实现系统运行逻辑的关键。设计中,在 FPGA 内部生成基于 Xilinx 公司 ISE 软件的 MicroBlaze 微处理器 IP 核。MicroBlaze 处理器采用哈佛结构的 32 位指令和数据总线,具有指令和数据缓存能力,在中断处理和逻辑扩展方面表现优异。在图像信号传输、处理过程中,FPGA 首先通过 USB 接受 PC 指令,再向探测器发送电机控制指令、工作 CLK 等信号,控制红外焦平面探测器对图像进行采集。FPGA 内部生成的图像发送、读取 FIFO 接收探测器发送的红外图像并通过内部集成的图像预处理模块进行处理<sup>[4]</sup>。FPGA 与 DSP 之间进行基于 SRIO 的高速数据互连,实现神经网络非均匀性校正算法逻辑并对校正系数进行实时运算处理,完成存储更新校正系数和图像非均匀性校正工作。运行过程中,FPGA 内嵌的 DDR3 控制模块控制 DDR3 芯片实现图像数据快速读写和存储,最后通过接口板的 CameraLink 等接口与 PC 实现图像数据传输。

为了满足系统对逻辑运算处理能力的强大需求,FPGA 器件最终选取了 Xilinx 公司生产的 Kintex7 系列的 XC7K325T 芯片。XC7K325T 是 Kintex7 系列中性能和功耗比俱佳的芯片,表 1 为芯片主要性能参数,XC7K325T 具有 326 080 个逻辑单元、50 950 个 Slice 和最高可达 4 000 Kb

的分布式 RAM 资源,支持系统设计需求。同时多达 840 个 DSPSlices 和最高可以支持 12.5 Gb/s 传输速度的 16 lane GTXs 收发器为系统提供了强大的逻辑处理和数据收发能力。

表 1 XC7K325T 性能参数

Tab. 1 Performance parameters of XC7K325T

	XC7K325T
Logic cell	326 080
Slices	50 950
Distributed RAM/kb	4 000
GTX/(Gb · s <sup>-1</sup> )	12.5
User IO	400
WORK TEMP	-40~100
SIZE/mm	230×120

作为信号处理模块的关键组成部分,DSP 的性能直接决定了信号处理模块的数据运算处理能力。DSP 主要负责存储在 FPGA 内运行的应用程序以及进行非均匀性校正参数矩阵运算<sup>[5]</sup>。由于神经网络非均匀性校正算法迭代运算较为复杂,在设计中选用了 TI 公司 C66x 系列的 TMS320C6657CZHA25 芯片,如表 2 中所示,芯片主频最高可实现 1.25 GHz,同等频率下具有 4 倍于 C64x+ 器件的乘累加能力,且单核运算能力高达 40GMACS 和 20GFLOPS,包含 2 个 Viterbi 协处理器和 1 个 Turbo 协处理解码器,并支持 4 通道 SRIO 高速接口,单通道最高通信速率 5 G Baud,满足系统设计的数据运算、传输能力要求。

表 2 TMS320C6657 性能参数

Tab. 2 Performance parameters of TMS320C6657

	TMS320C6657
DSP	2 C66x
DSP MAX/MHz	1 250
GFLOPS	40
Size/mm	80×58
WORK TEMP	-40~100
Serial I/O	RapidIO, etc.

FPGA、DSP 和接口板采用了一致的尺寸设计方案,如图 2 所示,设计完成后,单板平面尺寸

统一至 90 mm×52 mm,系统整体封装高度控制在 50 mm 内,符合小型化设计目标。

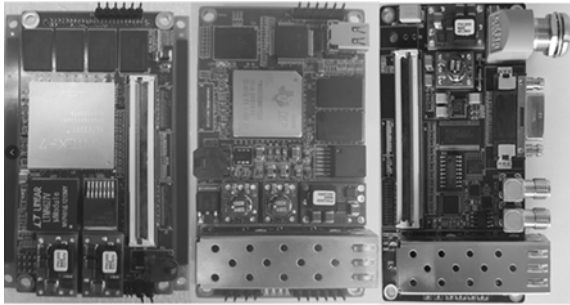


图 2 FPGA、DSP、接口板成品图(从左至右)

Fig. 2 Finished FPGA, DSP and interface board (from left to right)

### 2.2 SRIO 串行互连接口设计

目前通用的 DSP+FPGA 架构,大多采用处理器总线、PCI 总线核以太网等传统互连方式,难以满足芯片间互连数据传输的实时性要求。针对嵌入式系统设计的 SRIO(Serial RapidIO)是一种高速、串行通信方式,主要应用于存储器 and 平台间连接等互连形式中<sup>[6]</sup>。本设计采用 XC7K325T 系列 FPGA 内嵌的 SRIO IP 核在 DSP 和 FPGA 之间实现了 SRIO 通信。接口模块原理见图 3。FPGA 和 DSP 在 SRIO 架构中互为从属,双边均可主导发起读写请求,保持了芯片间的实时快速通信<sup>[7]</sup>。

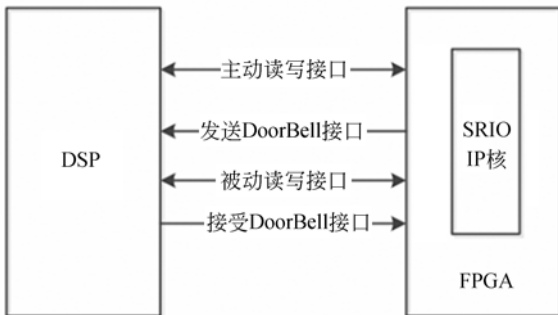


图 3 SRIO 接口原理图

Fig. 3 SRIO interface schematic

设计过程如下:首先通过 Core\_generator 在 FPGA 内建立 SRIO IP 核,并使能 DSP 的 SRIO 端口,打开 1 个 SRIO 接口通道(Link Width)配以 125 MHz 的工作时钟,并设置单通道 SRIO 传输速率为 2.5 Gb/s。连接建立后,FPGA 可自由访问 DSP 储存单元,芯片间利用定义的读写函数

提出读写请求。相较于传统互连方式 SRIO 传输速率极高,满足系统高速数据传输设计目标<sup>[8]</sup>。

### 2.3 DDR3 模块控制设计

传统信号处理模块往往受限于系统内部存储器读写能力不足的缺陷而不得不通过增加外挂存储器芯片数目以满足读写需求<sup>[9]</sup>。而本设计引入 Kintex7 芯片上固有的 DDR3 模块,通过设计 DDR3 控制接口解决系统对外接 SRAM 芯片的依赖。DDR3 采用了 Hynix 公司生产的 4 片 DDR3 颗粒,两个 BANK,row 地址宽度为 15,col 地址宽度为 10,有一对差分时钟引脚,每片 DDR3 颗粒存储容量为 1 G 字节,总存储总量达到 4 G 字节。

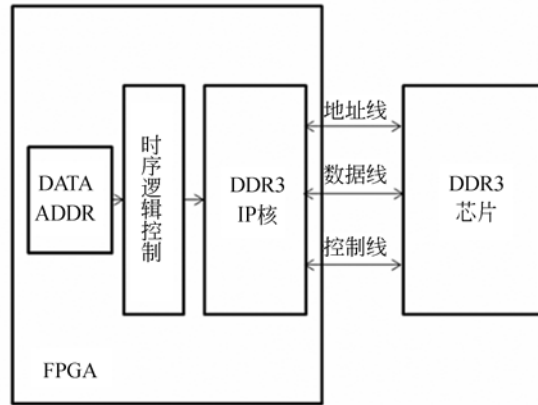


图 4 DDR3 模块框架

Fig. 4 Framework of DDR3 module

图 4 所示为 DDR3 模块框架图。在异步时钟环境下,各个图像处理流程均可通过读写请求在 DDR3 不同地址上进行数据读写,不同模块间不会产生冲突,可以共享 DDR3 内存。当 DDR3 操作时钟为 600 MHz(存储器数据端口宽度为 64 位)时,接口模块支持的最高瞬时数据读写速度为 7 000Mb/s,数据读写能力满足实验需求,无需外挂 SRAM 或 SDRAM 芯片,达到减少系统封装体积和功耗目的。

## 3 红外图像非均匀性校正算法

### 3.1 算法原理

目前,基于场景的非均匀性校正技术被更广泛地应用于红外图像数据处理领域,该方法相对于基于定标的非均匀性校正方法具有更高的灵活性。本模块设计利用 DSP 强大的运算能力和

FPGA、DSP 之间的高速数据传输效率,设计实现片上运行神经网络算法逻辑对图像校正系数进行实时计算处理。神经网络法假设每个探测器的响应为线性模型,其基本结构如图 5 所示。

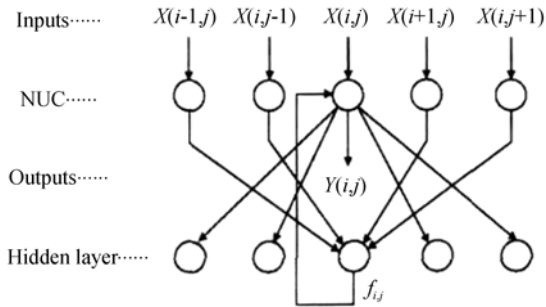


图 5 神经网络算法结构

Fig. 5 Structure of neural network algorithm

将神经元连接到一个阵元,  $X$  为神经元的输入信号,  $W$  为权矢量,  $Y$  为单元输出,  $n$  为时间标记,那么,非均匀性校正公式可以写为:

$$y(n) = W^T(n) \times (n), \quad (1)$$

权矢量  $W$  由增益校正因子  $G$  和偏移量校正因子  $O$  计算得到:

$$W(n) = (G(n), O(n))^T, \quad (2)$$

人工神经网络利用现有场景持续对非均匀性校正参数进行修正,实现流程表述如下:

Input Layer 为系统接收的红外图像二维灰度值。其由 Hidden Layer 对  $n$  次校正后的图像做四邻域中值滤波处理,取相邻 4 个像元的灰度值取平均作为参考图像:

$$f_{i,j}(n) = \frac{1}{4}(\ell_{i-1,j}(n) + \ell_{i+1,j}(n) + \ell_{i,j-1}(n) + \ell_{i,j+1}(n)). \quad (3)$$

将结果返回到 Correction Layer 后,Correction Layer 用(2)式对图像进行校正,并接收 Output Layer 和 Hidden Layer 的返回数据以修正校正系数。校正系数修正的关键误差函数定义为(4)式:

$$E(G, O) = (W^T(n) X(n) - F(n))^2, \quad (4)$$

$E$  为设定的误差值,由最陡下降法可以得出增益校正因子和偏移量校正因子的最优下降路径分别为:

$$G(n+1) = G(n) - 2\eta x(n)(y(n) - f(n)), \quad (5)$$

$$O(n+1) = O(n) - 2\eta(y(n) - f(n)), \quad (6)$$

下降路径式(5)、(6)中的  $\eta$  代表迭代步长,使得在不断地迭代中增益校正因子和偏移量校正因子将会收敛到迭代步长对应的校正参数最优值,步长选择依据特定情境制定<sup>[10]</sup>。

### 3.2 算法片上实现

设计系统选取的红外焦平面探测器(IRFPA)组件工作帧频 50 Hz,单帧图像大小为  $640 \times 512$  pixel,图像数据传输速率较高。神经网络非均匀性校正参数计算实现基于系统选取的 TMS320C6657 DSP 芯片,采用 C 语言编程实现动态存储更新校正矩阵。图像首次进行非均匀性校正时加载默认校正矩阵,在利用已获得的图像数据得到神经网络校正矩阵后,将更新后的校正参数进行缓存并应用于下一帧红外图像<sup>[11]</sup>,运算处理流程见图 6。

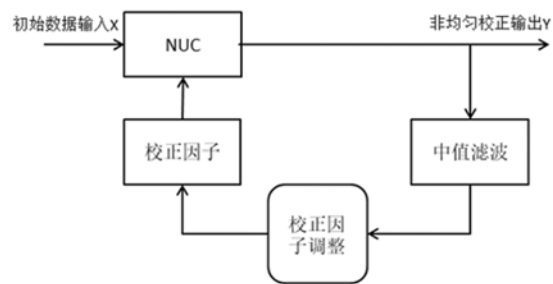


图 6 神经网络算法流程图

Fig. 6 Flow chart of neural network algorithm

## 4 实验结果

在 IRFPA 组件 50 Hz 工作帧频,单帧图像大小  $640 \times 512$  pixel 的连续采样模式下,设计实现了对红外焦平面探测器信号处理模块的图像非均匀性校正性能测试,结果如表 3 所示。

表 3 模块非均匀性校正性能测试结果

Tab. 3 Module's NUC performance test results

非均匀性测试/min	设计指标/%	检测结果/%
初始	<0.2	0.036
保持时间 30	<0.2	0.059
保持时间 60	<0.2	0.071
保持时间 90	<0.2	0.079
保持时间 120	<0.2	0.096

最终,非均匀性校正保持效果符合工程设计要求,在 120 min 的保持时间内,红外输出图像非均匀性低于 0.1%。图 7 和图 8 分别为信号处理模块在红外相机 110~1 100 mm 10 倍连续变焦



图 7 连续变焦图像(110~1 100 mm)

Fig. 7 Continuous zoom image(110-1 100 mm)

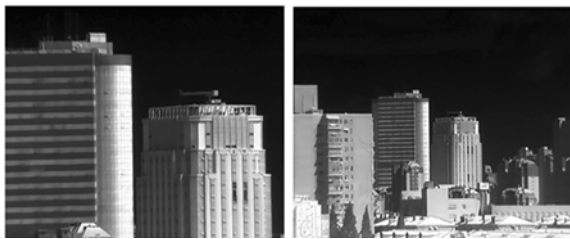


图 8 连续变焦图像(15~300 mm)

Fig. 8 Continuous zoom image(15-300 mm)

## 参考文献:

- [1] 吴家伟,武春风,度文波. 红外图像实时显示增强系统设计[J]. 光学精密工程, 2009, 17(10): 2612-2619.  
WU J W, WU CH F, YU W B. Design of real-time infrared image enhancing system [J]. *Opt. Precision Eng.*, 2009, 17(10): 2612-2619. (in Chinese)
- [2] 李赓飞,李桂菊,韩广良,等. 红外成像系统的非均匀性实时校正[J]. 光学精密工程, 2016, 24(11): 2841-2847.  
LI G F, LI G J, HAN G L, *et al.*. Real-time non-uniformity correction of infrared imaging system [J]. *Opt. Precision Eng.*, 2016, 24(11): 2841-2847. (in Chinese)
- [3] 段程鹏,刘伟,谢庆胜,等. 改进的神经网络非均匀校正算法的研究与实现[J]. 光学学报, 2015, 35(7): 106-112.  
DUAN CH P, LIU W, XIE Q SH, *et al.*. Research and implementation of improved neural network non-uniformity correction algorithm [J]. *Acta*

和 15~300 mm 20 倍连续变焦过程中的输出图像,系统实现上述连续变焦功能总时间 $<1$  s,期间红外焦平面探测器信号处理模块工作正常,实时图像非均匀性保持低水平,满足整体设计需求。

## 5 结 论

本文设计并实现片上运行神经网络非均匀性校正运算的红外焦平面探测器信号处理模块,选择了合适的硬件和架构设计,搭建了基于 FPGA 和双核 DSP 的图像处理系统,并引入 DDR3 模块和 SRIO 接口设计,在 DSP 芯片内实时实现了基于场景的神经网络非均匀性校正方案,无需借助 PC 进行校正参数运算,顺利完成整体模块搭建。芯片内部 FPGA 和 DSP 间理论传输速率最高可达 2.5 Gbps,DDR3 接口模块支持最高瞬时数据读写速度可达 7 000 Mb/s,同时系统最终集成模块最大单板(FPGA)面积减小至 90 mm $\times$ 52 mm,整个模块高度控制在 50 mm 内,测试输出图像非均匀性保持低于 0.1%,整体模块满足工程对实时性和小型化的设计需求。

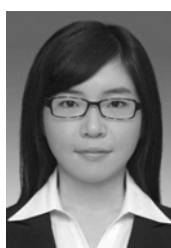
- Optica Sinica*, 2015, 35(7): 106-112. (in Chinese)
- [4] 顾鑫,曹丹华,吴裕斌,等. 单片 FPGA 的小型非制冷红外机芯设计[J]. 传感器与微系统, 2017, 36(6): 83-89  
GU X, CAO D H, WU Y B, *et al.*. Design of miniaturized uncooled infrared movement based on FPGA [J]. *Transducer and Microsystem Technologies*, 2017, 36(6): 83-89. (in Chinese)
- [5] 郭强,陈桂林. 基于双 DSP 的遥感图像实时并行处理系统[J]. 光学精密工程, 2002, 10(6): 547-551.  
GUO Q, CHEN G L. Real-time parallel processing system for remote sensing images based on two DSPs [J]. *Opt. Precision Eng.*, 2002, 10(6): 547-551. (in Chinese)
- [6] 毛群. 基于 DSP 和 FPGA 的信号处理模块及其 IP 核设计技术研究[D]. 浙江大学, 2016.  
MAO Q. *Research on DSP and FPGA based Signal Processing Module and Related IP Core Design Technology* [D]. Zhejiang University, 2016. (in Chinese)
- [7] 黄克武,吴海洲. 基于 TMS320C6455 的高速 SRIO

- 接口设计[J]. 电子测量技术, 2008, 31(9):143-146.
- HUANG K W, WU H Z. Design of high-speed SRIO interface based on TMS320C6455 [J]. *Electronic Measurement Technology*, 2008, 31(9):143-146. (in Chinese)
- [8] 姜宏旭, 刘亭杉, 李辉勇, 等. FPGA+DSP 异构视频处理系统中基于 SRIO 的数据高效传输方法[J]. 计算机学报, 2015, 38(6):1119-1130.
- JIANG H X, LIU T SH, LI H Y, *et al.*. A High-efficiency Data Transmission Method Based on SRIO in FPGA + DSP Heterogenous Video Processing System [J]. *Chinese Journal of Computers*, 2015, 38(6):1119-1130. (in Chinese)
- [9] 朱明, 鲁剑锋, 赵建, 等. 基于 TMS320C6202DSP 的实时数字图像处理系统的设计[J]. 光学 精密工程, 2003, 11(5):497-501.
- ZHU M, LU J F, ZHAO J, *et al.*. Design of real-time digital image processing system based on digital signal processor TMS320C6202 [J]. *Opt. Precision Eng.*, 2003, 11(5):497-501. (in Chinese)
- [10] 樊凡. 基于场景的红外非均匀性校正算法研究[D]. 华中科技大学, 2015.
- FAN F. *Research on the Infrared Scene Based Nonuniformity Correction Algorithm* [D]. Huazhong University of Science & Technology, 2015. (in Chinese)
- [11] 曹扬, 金伟其, 刘崇亮, 等. 红外焦平面阵列的自适应非均匀性校正及硬件实现[J]. 光学 精密工程, 2011, 19(12):2985-2991.
- CAO Y, JIN W Q, LIU CH L, *et al.*. Adaptive nonuniformity correction and hardware implementation of IRFPA [J]. *Opt. Precision Eng.*, 2011, 19(12):2985-2991. (in Chinese)

#### 导师简介:



葛 军(1969—),男,上海人,学士,1990年毕业于上海科学技术大学物理系,现为中科院上海技术物理研究所红外物理国家重点实验室研究员。主要从事光电技术研究,负责多项 863 和总装备部光电系统的研制工作。Email: wonderge@163.com



任月敏(1987—),女,山西人,硕士,毕业于中国科学院上海技术物理研究所,主要从事数字信号处理器方面研究。E-mail: 15256975488@sina.cn



汪 晓(1993—),男,安徽舒城人,学士,2015年于中国科学技术大学获得学士学位,现为中国科学院上海技术物理研究所硕士生,主要从事数字信号处理器方面研究。E-mail: ethanwx19@163.com