

文章编号 1004-924X(2015)04-1153-08

基于视频行场消隐期的大容量 FLASH 存储控制器

杨金宝*, 李 飞, 郟军伟

(北京环境特性研究所 光学辐射重点实验室, 北京 100854)

摘要:为克服传统大容量 FLASH 视频存储控制器时序设计复杂、缓存资源要求较高的缺点,设计了一种利用视频行场信号消隐期进行时序控制的 FLASH 视频存储控制器。该控制器基于 FPGA 时序设计,利用视频行场同步信号消隐期时间写入 FLASH 的读出和写入控制命令。由于无需缓存资源即可实现多级流水线的设计,提高了时序控制效率,简化了时序设计过程。基于 Verilog 硬件描述语言,设计了 3 级流水线和并行控制时序,数据达 120 MB/s,实现了对 2 048 pixel×1 752 pixel/15 frames 高速视频数据的实时存储与回放。仿真与实验结果均表明,系统时序设计正确,大容量 FLASH 阵列读写操作正常,可实现视频数据的采集、存储、回放等多种功能。

关键词:FLASH 存储控制器;大容量 FLASH;现场可编程门阵列(FPGA);消隐期

中图分类号:TP333.5; TN941 **文献标识码:**A **doi:**10.3788/OPE.20152304.1153

Large capacity FLASH video storage controller base on blanking period of line and field signals

YANG Jin-bao*, LI Fei, QIE Jun-wei

(*Science and Technology on Optical Radiation Laboratory, Beijing Institute of Environmental Features, Beijing 100854, China*)

* *Corresponding author, E-mail: yangjinbao20054723@126.com*

Abstract: A FLASH video storage controller using the blanking period of line and field signals to control time sequence was designed to overcome the disadvantages of complex timing design and large cache resource requirements of traditional ones. The controller was designed based on the Field Programming Gate Array (FPGA) and its reading and writing control commands were input FLASH by line and field signals on the blanking period. In this way, the multistage pipeline could be implemented without cache resources, design control timing was greatly simplified and cache resources were saved. Additionally, a three-stage pipeline was designed based on the Verilog software describing language, which realizes the real-time storage and playback of 2048 pixel×1752 pixel/15 frames in high speed video data with the throughput rate as high as 120 MB/s. Simulation and experiment results show that the system timing design is correct, and large capacity FLASH array reading and writing operation is right. The design can accomplish multifunction operations such as real-time control, storage and the playback of high speed video data.

Key words: FLASH storage controller; large capacity FLASH; Field Programming Gate Array (FPGA); blanking period

收稿日期:2014-11-28;修订日期:2015-01-22.

基金项目:航天创新基金资助项目(No. K3010199S142)

1 引言

与传统的固态存储器相比,FLASH(又称闪存)具有体积小、重量轻,存储容量大,掉电不丢失等性能,被广泛应用于机载、星载设备的存储单元中^[1-5]。但 FLASH 编程写入时间较长,导致平均写入速度较低,难以满足高速视频数据的存储要求^[6-7]。现场可编程门阵列(Field Program-mable Gate Array, FPGA)具有触发器资源丰富,可重复编程等优点,十分适于高精度时序控制领域^[8-10]。传统的处理方法以 FPGA 为时序控制器,通过引入流水线技术和并行技术来提高数据吞吐率。但该方法时序控制较为复杂,且消耗大量的缓冲存储资源,对 FPGA 的性能要求也较高^[11-13]。本文提出一种新的利用图像行场同步信号消隐期时间间隙有效写入准备指令的方法,使得在视频有效数据写入或读出前,读写操作的准备指令均在消隐期内完成,且视频有效数据无需额外的缓冲存储,从而简化了时序设计,大大提高了存储效率。

2 控制器硬件组成

基于 FPGA 的大容量 FLASH 视频存储控制器要完成数据的采集、存储、回放等功能。其硬件架构包括 FPGA、大容量 FLASH 存储阵列、电源和外围接口等。总体结构原理如图 1 所示。

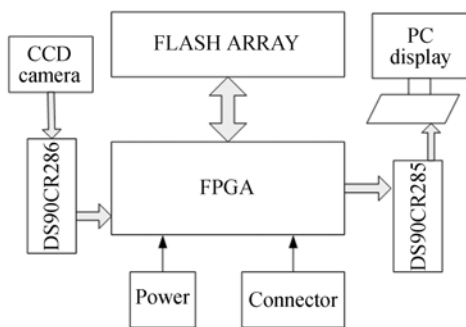


图 1 时序控制器组成图

Fig. 1 General structure of timing controller

电荷耦合器件(Charge Coupled Device, CCD)相机用于产生高分辨率视频信号,其数据格

式为 16bit YUV 信号,图像分辨率为 $2\ 048 \times 1\ 752$,帧频为 15 Hz/s,接口为 Camerlink,通过 DS90CR286 解串器输入至 FPGA。

FPGA 通过 Verilog 硬件描述语言编程设计,CCD 相机采集的视频数据经过时序控制,将图像数据存入大容量 FLASH 阵列中。当接收到回放命令时,FPGA 读出存在 FLASH 阵列中的图像,并产生相应的行场同步信号,经 DS90CR285 串行器后通过 Camerlink 接口输出至上位机进行显示。

电源部分为控制器供电,其将 12 V 输入电压通过 DC-DC 模块变换为不同的电压源,为各电子器件供电。

外围接口部分包括控制器的各类接口及其电路。上级系统通过接口电路向控制器发送控制指令,以决定其进行读操作还是写操作等。

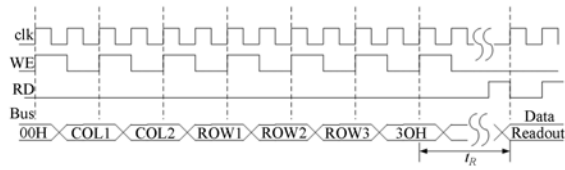
3 FLASH 控制器原理设计

3.1 传统 FLASH 读写分析

大容量 FLASH 的数据读写接口采用数据/地址复用的读写控制方式。用户对 FLASH 进行读写操作时,主要是与其内部的控制进行信息交互。本设计采用镁光 FLASH 芯片,单片容量为 4 Gb,数据/地址总线宽度为 8 位,地址共有 40 位,分为行地址(ROW)和列地址(COL)。FLASH 每页的存储区长度为 2 048 Byte,空闲区长度为 64 Byte。

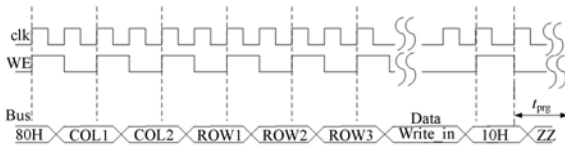
当对 FLASH 进行读写操作时,在主时钟 clk 节拍下,产生控制信号 WE 和 RE。在控制信号的边沿节拍下,FPGA 控制器发送控制命令操作和地址信息。FLASH 内部控制器接收到该类指令后对内部存储空间进行相应的读写操作。读时序如图 2(a)所示,写时序如图 2(b)所示。

由 FLASH 读写原理可知,FLASH 的读出与写入均需要等待时间,特别是 FLASH 写入,每页需要 $200\ \mu\text{s}$ 的编程时间,这大大降低了器件的读写速度;另外,在写入或读出页数据时,需要额外的读操作指令和写操作指令,需要近 10 个 WE 写周期,因而在高速视频数据的存储中需要改进时序设计。



(a) 读操作时序图

(a) Read timing diagram



(b) 写操作时序图

(b) Writing timing diagram

图 2 FLASH 操作时序图

Fig. 2 Timing diagrams of FLASH processing

3.2 流水线与并行设计

鉴于 FLASH 的读写需要较长的编程时间和指令等待时间,本文引入流水线和并行设计方法来提高数据吞吐率。由于写入编程时间是制约 FLASH 数据吞吐率的关键因素,设写信号 WE 的周期为 T ,每页的长度为 m Byte,总线宽度为 n Byte,编程时间为 t_{prg} ,前导准备命令周期个数为 r ,则单片 FLASH 每页的写入速度 v 为:

$$v = \frac{mn}{(m+r)T + t_{prg}} \quad (1)$$

本文中依据实际芯片参数,取 $m=2K, n=1, t_{prg}=200 \mu s, T=40 ns, r=7, r \ll m$,可忽略不计,将以上参数代入公式(1),可得到:

$$v = 7.26 \text{ MB/s} \quad (2)$$

而相机的数据输出速率 v_{CD} 为:

$$v_{CD} = \frac{2048 \times 1752 \times 2 \times 15}{1024 \times 1024} = 103 \text{ MB/s} \quad (3)$$

该数据远大于单片 FLASH 的数据存储速率。

本文采用并行和流水线技术增加 FLASH 的读写速度。通过并行技术对多片 FLASH 并行处理,扩展总线宽度,以提高读写速度。当并行总线上的各 FLASH 编程时间(t_{prg})一致时,由公式(1)可知,总线宽度将扩展 n 倍,写入速度将增大至原来的 n 倍。为消除编程时间的影响,通过流水线技术在本级 FLASH 编程时间内进行下级

FLASH 的写操作,从而形成流水工作方式,流水线原理如图 3 所示。

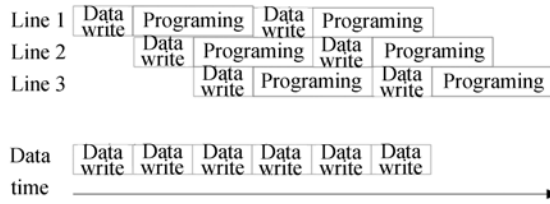


图 3 流水线原理图

Fig. 3 Principle diagram of water pipeline

通过增加流水线,FLASH 写入速度将随之提高,以图 3 第 3 级流水线(Line3)的编程过程(Programming)完成为流水线的 1 个时间周期。该周期中流水线 Line1 完成约 1.5 次数据写入,流水线 Line2 完成 1 次数据写入(不含未进行写入编程的第 2 次数据),流水线 Line3 完成 1 次数据写入,由公式(1)可知,其写入速度提高至原来的 2.06 倍。

系统的视频数据写入速度为 103 MB/s,由于并行总线不宜过长,否则会造成信号不同步,而流水线级数如果过大,时序控制将极为复杂。经过多次实验,本文采用 8 片 FLASH 并行、3 级流水线的工作方式,其控制器写入速度 $v_{control}$ 为:

$$v_{control} = 7.26 \times 2.06 \times 8 \text{ MB/s} \approx 120 \text{ MB/s} \quad (4)$$

该速率满足设计要求。

3.3 基于行场消隐期设计

FLASH 读写操作在写入和读出流水页有效数据前需要有读写指令输入,该过程大约需要 10 个写信号 WE 周期。如果该段时间不处理,会影响流水线的运行。以页写入操作为例,传统的大容量 FLASH 读写时序控制设计往往将每级流水线数据首先进行 FIFO 缓存,在缓存 FIFO 工作期间写入读写指令 W/R Cmd,这样能够保证本级缓存 FIFO 写满后可立即将数据写入页地址空间,从而完成流水线的运行,如图 4 所示。该方法的缺点是增加了缓存资源,对 FPGA 的性能提出更高要求,且时序控制复杂,稳定性降低。

视频行场同步信号存在一段时间的低电平消隐期。在该消隐期内,视频中并无有效像素数据,在实际设计中,该段时间往往作为等待时间。由于行信号 Hs 消隐期一般大于 $200 \mu s$,本设计有效利用了这段时间间隙,将每页的读写命令在该

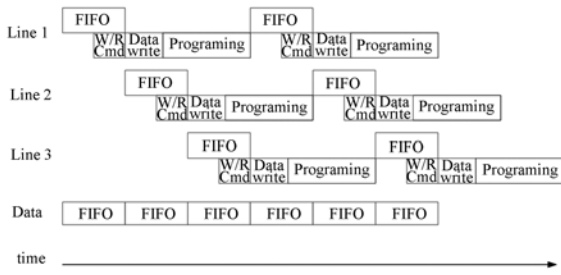


图 4 传统 FLASH 流水页写入原理图

Fig. 4 Writing principle diagram of water pipeline for traditional FLASH page

段时间写入,当行场同步信号为高电平时可立即启动有效像素数据的页写入。每个时钟的上升沿,即场同步信号 V_s 为高电平,行同步信号 H_s 为低电平时,计数器开始加 1 计数,写入读写命令 W/R Cmd;当行同步信号 H_s 为高电平时,在计数器的计数下,依次向页内写入图像有效数据,写满一页后进入编程等待时间,并在下一个行同步信号 H_s 的消隐期内进行流水线的切换,计数器重新清零,开始下一级流水线操作循环。该计数器在写入过程中全程计数,为读写命令写入(W/R Cmd)和数据写入(Data Write)操作提供计数节拍,确保时序工作正常。时序如图 5 所示。

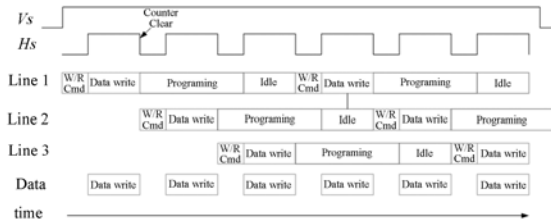


图 5 本文流水页写入时序图

Fig. 5 Writing timing diagram of new page using water pipeline

从图 5 可以看出,该设计无需 FIFO 缓存,时序控制简单,有效利用了行同步信号的低电平消隐期时间间隙,在该时间间隙写入 FLASH 读写命令 W/R Cmd。另外,由于节省了流水线时间,每级流水线可使总线空余出一段空闲时间 Idle,从而提高了流水线的稳定性。

读操作将存储的视频数据读出,并还原为原有的行场同步信号。由于读操作的编程时间较短,一般为 $20 \mu s$,流水线的设计较为简单,这里不再赘述。为与流水线页写入时序相匹配,本文同样采用 3 级流水线页读出方式,将读写命令时间

或读编程时间有效进行行场同步信号的消隐时间,无需额外的消隐等待时间,提高了流水线的效率。考虑到 8 片 FLASH 并行,而每个像素(16 bit)由两片并行的 FLASH 组成,每级流水线能同时处理 4 pixel,所以当 8 片 FLASH 并行组成一级流水线时,流水线的单个地址页共能存储视频的 4 行数据(考虑篇幅限制,图 6 中以 2 行示意)。在读出每级流水线的并行有效数据时,需插入行消隐等待时间,实现行数据的分离,并依据行计数产生场同步信号 V_s 。流水读操作时序如图 6 所示。

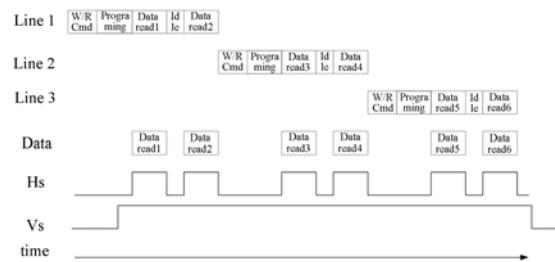


图 6 本文流水页读出时序图

Fig. 6 Reading timing diagram of new page using water pipeline

4 FPGA 设计实现

4.1 FPGA 时序设计

FPGA 时序设计是系统设计的关键,主要以计数器技术实现。在主时钟节拍下,计数器开始加 1 计数,在不同的计数值时进行不同的 FLASH 操作,从而实现 FLASH 读写功能。

FPGA 时序设计包括写模块、读模块、擦除模块,因为 FLASH 在写入前必须进行擦除,其软件流程图如图 7 所示。

与写模块相比,擦除模块同样是在每个写信号 WE 的上升沿发送擦除操作命令,所以与写操作情况类似,本文重点阐述写模块和读模块的 FPGA 时序设计和流水线处理。

FLASH 控制器读写时序基于 Verilog HDL 硬件语言描述中的线性序列机(LPM),即用时钟节拍进行状态描述。读写仲裁模块依据外部指令决定进行读操作还是写操作,并启动线性序列机的计数器计数,在计数器在时钟节拍下进行累加操作。后续所有读写操作时序均在该计数器不同

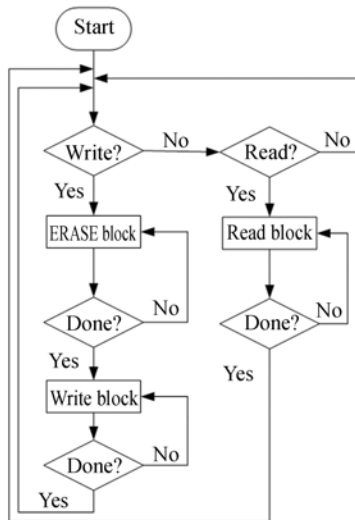


图 7 FPGA 程序流程图

Fig. 7 FPGA program flow chart

计数值的节拍下工作。在写操作时,FPGA 线性序列机依据图像像素时钟 Pclk、行同步信号 Hs 和场同步信号 Vs 产生 FLASH 时序控制信号,如 WE、RE、ALE 等;在读操作时,FPGA 线性序列机依据外部系统时钟并以此时钟作为像素时钟 Pclk,依次读取 FLASH 阵列存储器内数据,通过计数器计数,还原生成图像数据的行同步信号 Hs 和场同步信号 Vs。时序模块原理如图 8 所示。

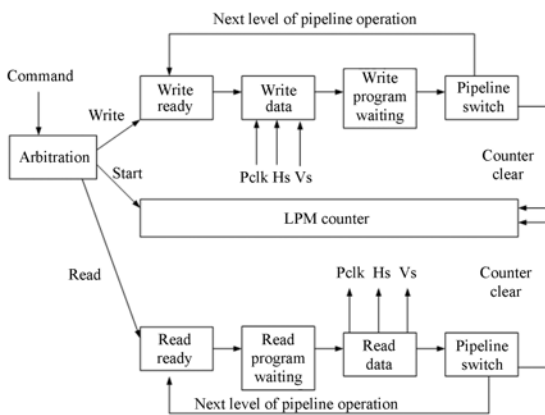


图 8 时序模块原理图

Fig. 8 Schematic diagram of timing module

写操作模块由写准备 (Write ready)、写数据 (Write data)、写编程等待 (Write program waiting) 和流水线切换 (Pipeline switch) 组成。写准备即发送写操作指令和写地址 (包括行地址和列地址等) 等;在写准备操作后,写数据依据像

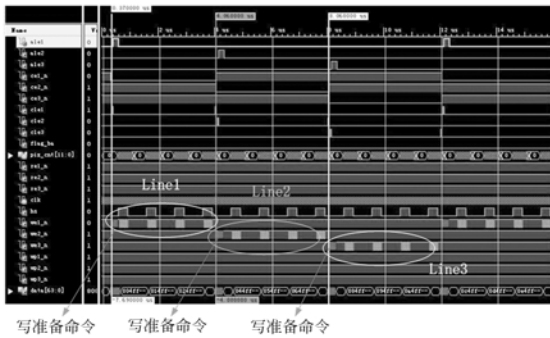
素时钟 Pclk、行同步信号 Hs 和场同步信号 Vs 时序,提取图像的有效数据,在写控制信号 WE 的上升沿写入 FLASH 内部控制器的缓存中 (此时并未写入存储区);写编程等待即在写数据后人为加入外部等待时间,让 FLASH 内部控制器将其缓存中的数据写入存储区中;最后进行流水线切换操作,将控制信号切换至下一级流水线的 FLASH 芯片组 (每 8 片 FLASH 芯片组并行构成一级流水线) 并对计数器数据清零,进行下一级的写操作。

读操作模块与写操作模块类似,由读准备 (Read ready)、读编程等待 (Read program waiting)、读数据 (Read data) 和流水线切换 (Pipeline switch) 组成。读准备即发送读操作指令和读地址 (包括行地址和列地址等) 等;与写模块不同的是读编程等待在读准备之后,也即人为设置的编程等待时间。期间,FLASH 内部控制器将存储区的数据写入其缓存中;读数据在读编程等待时间后,在读控制信号 RE 的下降沿将缓存中的数据读出。需要注意的是,读取数据的过程要求产生像素时钟 Pclk、行同步信号 Hs 和场同步信号 Vs。因此在读完图像每行像素数量 (2048) 的数据后,人为插入一段时间的计数器延时,形成行消隐期;同理在每场像素数量的数据后 (2048×1752),人为插入一段时间的计数器延时,形成场消隐期。最后进行流水线切换操作,将控制信号切换至处于下一级流水线的 FLASH 芯片组并对计数器数据清零,进行下一级的读操作。

4.2 时序仿真分析

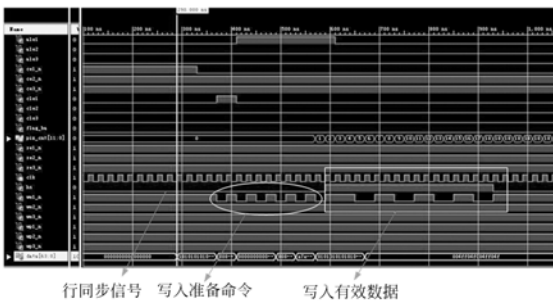
为验证时序设计的正确性,通过 ISE 软件自带的仿真软件进行仿真,仿真时钟频率为 50 MHz。

为更好地展示流水线写操作仿真效果,假定图像分辨率变为 16×30,即每行的像素数为 16 个,单个像素为 16 bit,FLASH 每页的长度为 16 Byte,采用 8 级并行、3 级流水线方式。这样每行像素数据将会写入每级流水线的 4 个列地址中,每级流水线的 1 页能够存储 4 行像素数据,图 9 (a) 是流水线写操作的仿真结果整体效果图,从图 9(a) 可以看出,3 级流水线时序清晰可见。图 9 (b) 是图 9(a) 的流水线 Line1 局部放大图,从图 9 (b) 可以看出,在行同步信号为低时,依次写入写操作准备指令,当行同步信号为高时,直接进行写



(a) 流水线写操作仿真整体效果图

(a) Whole view of writing simulation using water pipeline



(b) 流水线写操作仿真局部效果图

(b) Part view of writing simulation using water pipeline

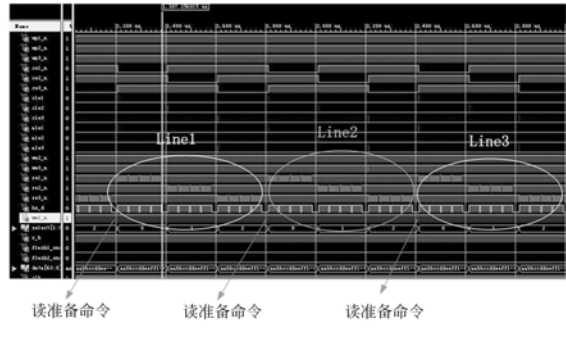
图 9 流水线写操作仿真效果

Fig. 9 Writing simulation using water pipeline

操作,无需进行 FIFO 缓存。

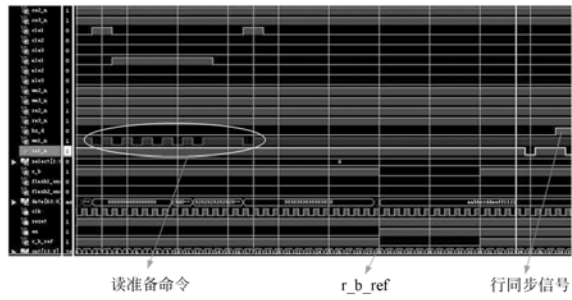
流水线读操作为写操作的逆过程,需重构行场同步信号。当发送读操作准备命令后,FLASH 的忙指示信号 r_b_ref 处于低电平,这个时间为读编程等待时间,一般为几十微秒,之后 r_b_ref 恢复为高电平,有效数据开始输出。为简化仿真流程,将 r_b_ref 的低电平时间设置为 200 ns,每行像素数改为 1 024 个。图 10(a)是流水线读操作的仿真结果整体效果图,从图 10(a)可以看出,通过 3 级流水线依次恢复了行场同步信号。图 10(b)是图 10(a) 的流水线 Line1 的局部放大图,从图 10(b)可以看出,写入读操作准备命令后,FLASH 的忙指示信号 r_b_ref 转为低电平,经过读编程等待时间后, r_b_ref 转为高电平,有效数据开始输出,行场同步信号开始重建。

从图 9、图 10 可以看出,利用行场同步信号消隐期可有效写入读出和写入的指令,无需额外消耗时间资源,避免了采用缓存而实现的流水线设计。



(a) 流水线读操作仿真整体效果图

(a) Whole view of reading simulation using water pipeline



(b) 流水线读操作仿真局部效果图

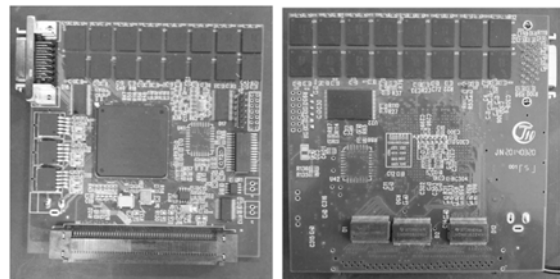
(b) Part view reading simulation using water pipeline

图 10 流水线读操作仿真效果

Fig. 10 Reading simulation using water pipeline

4.3 测试与实验

为验证大容量 FLASH 图像存储控制器设计的正确性和可靠性,依据以上分析,设计实现了 8 级并行、3 级流水线 FLASH 阵列时序控制器,其数据吞吐率高达 120 MB/s,完成了 103 MB/s 的实时视频流数据的存储、控制与回放。分别对软件和硬件分布进行了以下测试,其硬件实物图如图 11 所示,图 11(a)为电路板正面,图 11(b)为电



(a) 电路板正面

(b) 电路板背面

(a) Front side of circuit board (b) Back side of circuit board

图 11 FLASH 时序控制器硬件实物图

Fig. 11 Physical map of FLASH timing controller

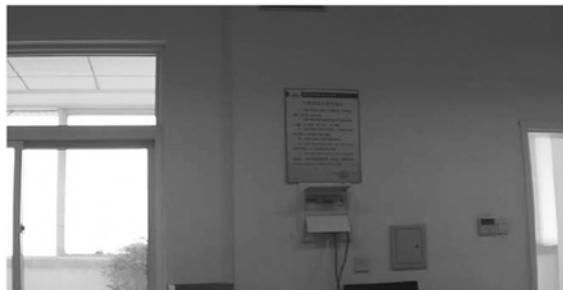
路板背面,硬件设计共有4级流水线,实际只用了其中3级。

将实际相机接入,相机分辨率为 2048×1752 ,帧频为 15 frame/s ,录入一段时间的视频,

并将该视频读出在上位机上显示,如图12(a)所示。图12(b)为使用Camerlink采集卡后在计算机上直接显示的原始视频效果,可以看到二者一致,证明设计正确。



(a) 控制器回放视频
(a) Playback video of controller



(b) 原始视频
(b) Original video

图12 时序控制器实际测试

Fig.12 Test of timing controller

5 结 论

本文设计了基于FPGA大容量FLASH视频存储控制器,利用视频行场同步信号消隐期时间写入FLASH的读出和写入控制命令,从而无需缓存资源即可实现多级流水线的设计。在实际

设计中,基于Verilog硬件描述语言设计了FLASH读写控制时序模块,数据吞吐率高达 120 MB/s ,并设计硬件电路,完成了电路板的布局布线。仿真和实验均表明,本文设计正确,系统工作稳定,实现了 $2048 \times 1752/15$ 帧高速视频数据的存储与回放,可用于实际的工程实践中。

参考文献:

- [1] KAUFMAN B. Solid state recorders deliver new levels of performance and features for recce applications[C]. *Proc SPIE*,1997,3128:149-152.
- [2] CODINO A. A transient reorder circuit for sub nanosecond signals from signals from Solid state stirp detectors [J]. *Nuclear Instruments and Methods in Physics Research A*, 461(2001):489-491.
- [3] 李春,吴世通,邓黎. 航天器空投试验用大容量数据记录器的研制[J]. *航天返回与遥感*,2006,27(1):7-12.
LI CH, WU SH T, DENG L. Research of big capacitance data recorder used in air-drop experiment [J]. *Space Craft Recovery & Remote Sensing*, 2006, 27(1):7-12. (in Chinese)
- [4] 夏巧桥,汪鼎文,张立国,等. 高速多通道遥感相机

快视系统的实现[J]. *光学精密工程*,2013,21(1):158-166.

XIA Q Q, WANG D W, ZhANG L G, *et al.*. Realization of fast-view system for high-speed multi-channel remote sensing camera[J]. *Opt. Precision Eng.*, 2013,21(1):158-166. (in Chinese)

- [5] 韩松伟,孙丽娜,孟中,等. 可见/红外双波段航空遥感相机图像处理硬盘高速存储技术[J]. *液晶与显示*, 2013,28(6):895-900.

HAN S W, SUN L N, MENG ZH, *et al.*. Image data hard disk high-speed storage technology of visible/Infrared dual-band aerial remote sensing camera[J]. *Chinese Journal of Liquid Crystals and Displays*, 2013,28(6):895-900. (in Chinese)

- [6] 雷磊,谢民,李先楚. 基于NAND型FLASH的海量存储板的设计与实现[J]. *测控技术*, 2007, 26:196-198.

LEI L, XIE M, LI X CH. Design and

- implementation of huge capacity board based on NAND FLASH [J]. *Measurement and Control Technology*, 2007, 26:196-198. (in Chinese)
- [7] Micron Technology. MT29F4G08 flash memory data sheet Rev D[Z]. Micron Data Sheets, 2010: 71-73.
- [8] 杨金宝,曹忆南,范松涛,等. 百皮秒级三维选通成像时序控制系统[J]. *红外与激光工程*, 2012, 41(7):1792-1797.
YANG J B, CAO Y N, FAN S T, *et al.*. Hundred ps level timing control system in 3D range-gated imaging [J]. *Infrared And Laser Engineering*, 2012, 41(7):1792-1797. (in Chinese)
- [9] 彭进业,金浩强,石剑虹,等. 高速单像素相机数据采集系统[J]. *光学精密工程*, 2014, 22(4):837-843.
PENG J Y, JIN H Q, SHI J H, *et al.*. Data acquisition system for high speed single-pixel camera [J]. *Opt. Precision Eng.*, 2014, 22(4):837-843. (in Chinese)
- [10] 韩红霞,孙航,曹立华. 基于 FPGA 的红外相机时序构造设计[J]. *液晶与显示*, 2014, 29(3):370-376.
HAN H X, SUN H, CAO L H. IR camera sequence construction design based on FPGA[J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(3):370-376. (in Chinese)
- [11] 王晓东,郝志航. 大容量固态记录器技术[J]. *光学精密工程*, 2001, 9(4):396-400.
WANG X D, HAO ZH H. Mass solid state recorder technology [J]. *Opt. Precision Eng.*, 2001, 9(4):396-400. (in Chinese)
- [12] 唐磊,周旋,吴瑶,等. 基于 FPGA 的 K9F4G08 Flash 控制器设计[J]. *集成电路应用*, 2010(5):57-59.
TANG L, ZHOU X, WU Y, *et al.*. Design of K9F4G08 Flash controller based on FPGA [J]. *Application of Integrated Circuits*, 2010(5):57-59. (in Chinese)
- [13] 杨立宏,毛亚杰,行长印. 基于 Flash 的 CCD 相机数据高速存储系统设计[J]. *长春理工大学学报:自然科学版*, 2009, 32(1):31-34.
YANG L H, MAO Y J, XING ZH Y. Design of high data speed memory system of CCD camera based on Flash [J]. *Journal of Changchun University of Science and Technology: Natural Science Edition*, 2009, 32(1):31-34. (in Chinese)

作者简介:



杨金宝(1987—),男,安徽安庆人,硕士,工程师,2012年于中国科学院研究生院获得工学硕士学位,主要从事光电信号与信息处理等方面的研究。E-mail:yangjinbao20054723@126.com.

(版权所有 未经许可 不得转载)