

文章编号 1004-924X(2014)11-3114-08

流水线模拟数字转换器的权重误差校准

贾华宇*, 刘丽, 张建国

(太原理工大学 新型传感器与智能控制教育部重点实验室, 山西太原 030024)

摘要:为校准流水线模拟数字转换器(ADC)中电容失配和由运算放大器的有限开环增益引起的级间增益误差,提出了一种新的基于权重的后台校准技术。该技术将流水线ADC中存在的上述误差统一归结为各级权重的偏差,建立了一个基于权重的ADC误差模型,并利用后级的数字输出来校准前级的误差。该技术在ADC末尾增加了额外的两个子级,这两个子级仅在校准过程中使用,从而使得ADC正常的模数转换过程不被中断,校准进程在后台执行。由于在校准期间和正常工作期间所有可能出现的信号路径的前7级均被校准,故进一步减小了误差,提高了精度。应用该技术实现了一个14 bit, 80 MS/s的流水线ADC,该芯片采用Chartered 0.18 μm , 1p6m CMOS工艺设计,总功耗为260 mW,芯片面积为7.161 mm^2 。实验结果显示:本文提出的校准技术可以提高ADC的精度,改善ADC的动态和静态性能。

关键词:流水线模拟数字转换器;级间增益误差;数字校准;后台校准;状态机

中图分类号: TN792 **文献标识码:** A **doi:** 10.3788/OPE.20142211.3114

Calibration of weight-error for pipelined ADCs

JIA Hua-yu*, LIU Li, ZHANG Jian-guo

(Key Laboratory of Advanced Transducers and Intelligent Control System
of the Ministry of Education, Taiyuan University of Technology, Taiyuan 030024, China)

* Corresponding author, E-mail: jiahua-yu@mail.xjtu.edu.cn

Abstract: To reduce and eliminate the interstage gain errors caused by capacitor mismatch and finite open-loop gain of an operating amplifier in a pipelined Analog to Digital Converter (ADC), a novel weight-based calibration technique on backend stages was presented. With proposed technique, a weight-based error model was built by merging error factors into a single term and the outputs of backend stages were utilized to calibrate the errors of front stages. To avoid interrupt normal conversion process, two extra stages were used in the calibration process to implement background calibration. During the normal conversion process and calibration process, the first seven stages of every signal path were all calibrated to increase the resolution and to eliminate errors. The improved technique was used in the implementation of 14 b, 80 MS/s pipelined ADC, and the ADC is with Chartered 0.18 μm , 1p6m CMOS process, a consume of 260 mW, and a chip area of 7.161 mm^2 . The test results show that the calibration technique improves dynamic and static performance and increases the precisions of pipelined ADCs.

Key words: pipelined Analog-to-Digital Converter(ADC); interstage gain error; digital calibration; background calibration; finite state machine(FSM)

收稿日期:2014-06-27;修订日期:2014-08-25.

基金项目:国家自然科学基金项目资助(No. 61240017);国家教育部博士点基金项目资助(No. 20121402120019)

1 引言

随着数字信号处理技术在视频处理及无线通信等领域的广泛应用,高清晰电视(High-definition television, HDTV)、数字摄像机以及便携式的数据通信系统对于模数转换器(Analog to Digital Converter, ADC)的性能提出了更高的要求。在众多的 ADC 种类中,流水线 ADC 因能兼顾速度与精度而受到设计者的重视^[1-4],但是,高速高精度流水线 ADC 的性能受运算放大器的有限增益、非线性以及电容失配等误差的影响,未对这些误差校准的流水线 ADC 的精度都被限制在 10 位到 12 位^[5-8]。为了进一步提高流水线 ADC 的精度,减小误差的影响,人们将校准技术用于流水线 ADC 中。

目前已研究出多种针对流水线 ADC 中的误差进行校准的技术,极大地改善了 ADC 的精度和速度。文献[9]通过加入测试校准信号,强制某级输出数字码 0 和 1,来估计各级权重,从而达到校准 ADC 输出的目的,但其在校准期间需要中断流水线 ADC 的正常工作。文献[10]改进了文献[9]的算法,在 ADC 末端添加了两级额外的流水线级,通过数字状态机进行合理控制,实现了对电路的后台数字校准,且不打断 ADC 正常工作。该算法原理较为简单,容易实现,但是,随着器件尺寸的不断缩小,会引起各种短沟道效应,从而使流水线子级之间的匹配更为复杂,而且文献[10]假定 ADC 各子级电路参数完全匹配,忽略了信号路径之间的差异,降低了该技术对误差的校准效果。

针对上述问题,本文提出了一种新的基于权重的后台校准技术。该技术将流水线 ADC 中存在的误差统一归结为各级权重的偏差,在此基础上,建立了一个简单的误差模型。采用每级 1 位的结构设计了一个 14 位精度的流水线 ADC,通过后台数字校准算法对所有信号的量化路径都进行了校准,从而消除了由运算放大器的有限开环增益及电容失配等引起的级间增益误差。该技术降低了模拟电路和版图设计的难度,并进一步提高了流水线 ADC 的精度。

2 流水线 ADC 的结构及误差

2.1 流水线 ADC 的结构

本设计中流水线 ADC 的结构如图 1 所示,包

括采样保持电路,18 级 1 bit 的子级,时钟产生电路和基准产生电路等。采用 1 bit 子级是因为其结构简单,功耗低,便于引入数字校准算法。1 bit 子级包括子 ADC,子 DAC,模拟减法器,余量放大器。模数转换在子 ADC 中完成,输出转换结果 q_i 。 q_i 输入子 DAC,产生的模拟输出同输入信号相减形成该级的余量电压,该电压被余量放大器放大后作为下一级的模拟输入信号。在实际电路里,sub-DAC,模拟减法和余量放大器通常被设计在一个 MDAC(multiplying DAC)中。各级的输出经过数字校正和数字校准模块产生最终输出 D_{out} ,数字输出 D_{out} 可表示为:

$$D_{out} = \sum_{i=1}^M q_i \omega_i; \quad (1)$$

$$\omega_i = \prod_{j=i}^M G_j, \quad (2)$$

其中: M 为子级的个数; ω_i 为第 i 级的权重; q_i 为各级子 ADC 的输出; G_i 为第 i 级的级间增益。

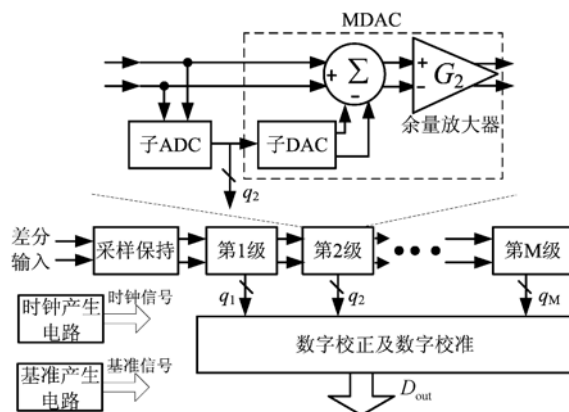


图 1 流水线 ADC 的结构

Fig. 1 Structure of ADC

2.2 流水线 ADC 中的主要误差

流水线 ADC 重要误差包括子 ADC 的误差和 MDAC 中的误差。

2.2.1 子 ADC 的误差

本设计中流水线 ADC 的子 ADC 由一个 1 位比较器构成,参考电平为 0 V。参考电平的不稳定或环境变化会导致比较器失调。余量电压放大倍数,即级间增益通常采用 $2^{[11]}$,包含比较器失调误差的余量曲线如图 2 所示,比较器失调误差可能造成本级的余量电压超出下级的输入范围。

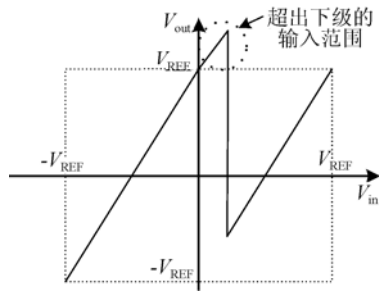


图 2 子 ADC 的误差
Fig. 2 Error of sub-ADC

为了避免余量电压超出范围,本文 ADC 的级间增益取 1.83,则实现 14 bit 精度所需子级的数目的计算如下式^[11]:

$$\frac{1-1.83^N}{1-1.83} = 2^{14} - 1, \quad (3)$$

则 $N \approx 16$, 所以总共需要 16 个 1 位子级。

2.2.2 MDAC 的误差

MDAC 中的误差主要由运算放大器的有限开环增益、电容失配等原因造成。电荷分布式 MDAC 如图 3 示,其中 A 为运放的开环增益, α 表示由电容 C_S 和 C_F 失配引起的误差。在忽略误差的情况下,理想输出 V_{out} 为:

$$V_{out} = G \cdot \left[V_{in} \pm \frac{V_{REF}}{2} \right], \quad (4)$$

$$G = \frac{C_S}{C_F}, \quad (5)$$

其中: V_{in} 为 MDAC 的输入电压, V_{REF} 为参考电压。

在有误差的情况下,根据电荷守恒,MDAC 输入与输出之间的关系式为:

$$V_{out} = G \cdot \delta \cdot (1 + \alpha) \cdot \left[V_{in} \pm \frac{V_{REF}}{2} \right], \quad (6)$$

$$\delta = - \frac{A}{(1 + \alpha) \cdot G + (1 + A)}. \quad (7)$$

将乘积项 $G\delta(1 + \alpha)$ 视为 MDAC 含开环增益误差和电容失配误差的实际权重 ω 。若能测得各级的实际权重,就可得到正确的模数转换输出。

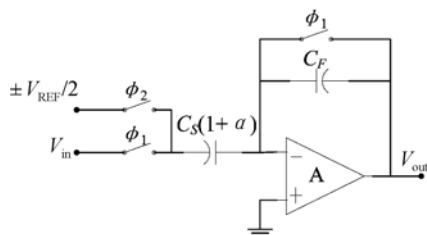


图 3 电荷分布式 MDAC
Fig. 3 Charge-distributed MDAC

3 基于权重的校准技术

由于 ADC 的精度主要由前级电路的性能决定,所以本文假设 ADC 的前 7 级需要校准,而其余后级为理想电路,无需校准,即假设第 8~16 级的增益为 1.83,权重分别是 $1.83^8, 1.83^7, \dots, 1.83^1, 1$ 。校准过程从第 7 级开始,逐级进行,到第 1 级结束。

以对第 4 级校准过程为例来阐述本文所提校准技术的原理。如图 4 所示。

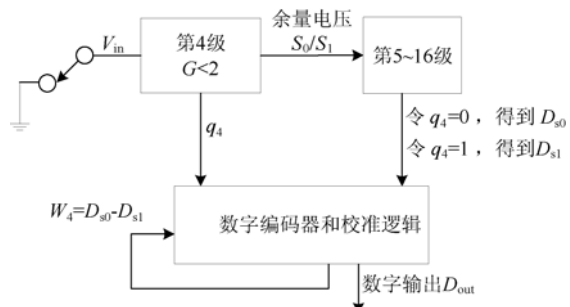


图 4 对第 4 级权重的校准
Fig. 4 Calibration technique applied to the 4th stage

假设第 5~7 级已被校准,级间增益为 1.83。在校准时,对于第 4 级的输入 $V_{in4} = 0$,由于 1 bit 子级的参考电压为 0,所以第 4 级的数字输出 q_4 既可能是 0,也可能是 1。对于不同的 q_4 ,由于输入的模拟信号 V_{in4} 相同,该信号经第 4~16 级量化后的数字输出 D_{out} 也应相等。校准原理如图 4 所示,第 5~16 级的数字输出用 D_{s1}, D_{s0} 表示,分别对应 q_4 为 1 和 0 时的输出。对第 4 级的校准步骤如下:

(1) 令第 4 级的输入 V_{in4} 为 0,并强制 $q_4 = 0$,得到余量电压 S_0 ;

(2) S_0 电压经第 5~16 级的量化,得到数字码 D_{s0} ;

(3) 令第 4 级的输入 V_{in4} 为 0,并强制 $q_4 = 1$,得到余量电压为 S_1 ;

(4) S_1 电压经第 5~16 级的量化,得到数字码 D_{s1} ;

(5) 根据式(1)可得:

$$D_{out0} = q_4 \omega_4 + D_{s0} = D_{s0}, \text{ 当 } q_4 = 0 \text{ 时,}$$

$$D_{out1} = q_4 \omega_4 + D_{s1} = \omega_4 + D_{s1}, \text{ 当 } q_4 = 1 \text{ 时,} \quad (8)$$

令 $D_{out0} = D_{out1}$,可以得到第 4 级的正确权重:

$$\omega_i = D_0 - D_{3i}. \quad (10)$$

由于上述校准过程的步骤(1)和(3)需要中断 ADC 的正常工作,为避免这种情况,在 ADC 末端添加了额外的 2 级校准。为保证校准时 ADC 的精度不变,这 2 级只在校准期间工作。

图 5(a)表示在校准第 4 级权重时的信号传递情况。图中第 1 行的 φ_1 和 φ_2 为两相非交叠时钟,相位差为 180° ;图中第 1 列的 $S_1 \sim S_{18}$ 表示流水线子级;数值 $-1, 0, 1, \dots$ 表示流水线子级的正常采样信号序数; D_{-1}, D_0, D_1, \dots 表示采样信号相应的数字码输出; E 为校准信号,即令该级的输入为零,信号 T 未参与校准或正常的转换,可以为任意信号。

在 ADC 正常工作时,所有奇数级在 φ_1 为高电平时对采样信号进行采样,在 φ_2 为高电平时产生数字输出和余量电压输出。偶数级在 φ_2 为高电平时对上一级输出的余量电压进行采样,在 φ_1 为高电平时产生数字输出。这个过程从 S_1 级开始依次进行,直到 S_{16} 级产生了该采样信号相应的数字输出为止,此时,信号路径是由 S_1 级至 S_{16} 级。得到各级的数字输出后,采用式(1)就可得到 ADC 对该采样信号进行转换的最终数字输出。

在校准过程开始后,量化过程与校准过程同时进行。所有偶数级的余量电压均向后移两级,末端增加了 S_{17}, S_{18} 级,从而保证了每个采样信号均可经过 16 级的量化,维持 14 bit 的精度。

在图 5(a)中,校准过程从第 5 个时钟周期的 φ_1 时刻开始。信号 T 在此时被插入 S_1 级,同时

本应由 S_1 级转换的采样信号 5 被输入到 S_3 级,所以这时 S_3 级就成为了整个 ADC 的第 1 级。而此时应该被 S_3 级转换的采样信号 4 由 S_5 级采样,应该被 S_5 级转换的采样信号 3 由 S_7 级采样,依此类推。从图中可以看出,通过上述对采样信号的转移,使得在校准期间每个采样信号均进行了转换,未中断 ADC 的正常工作。

将校准信号 E 在第 6 周期的 φ_2 时刻插入 S_4 级,此时强制该级数字输出为 0,在校准信号经过 $S_4 \sim S_{16}$ 级的转换后,得到 D_{S_0} 。同理,强制该级数字输出为 1 可得到 D_{S1} ,则根据式(8)、式(9)可估算出 S_4 级的权重 ω_4 。

通过上述校准过程,采样信号路径为 S_1 级至 S_{16} 级时前 7 级的权重完成校准。事实上,在校准过程中,插入了校准信号,且 S_{17} 和 S_{18} 级参与了模数转换,所以在这个过程中总会出现另外 9 条信号路径,而与校准级无关。例如,图 5(a)中采样信号 3 的路径为 $\{S_1 \dots S_4 \rightarrow S_7 \dots S_{18}\}$ ($S_1 \dots S_4$ 表示采样信号从 S_1 级经过 S_2 和 S_3 级传递到 S_4 级; $S_4 \rightarrow S_7$ 表示采样信号从 S_4 级直接传递到 S_7 级)。采样信号 3 的数字输出可表示为:

$$D_{out,3} = q_1 W_1 + \dots + q_4 W_4 + q_7 W_7 + \dots + q_{18} W_{18}. \quad (10)$$

这时前 7 级变成了 $S_1 \sim S_4, S_7 \sim S_9$ 级,同采样信号路径为 $\{S_1 \dots S_{16}\}$ 时的前 7 级显然不同。为了避免各子级电路的参数失配,应对所有信号路径的前 7 级都进行校准。

子级 \ 时钟周期	第 1 周期		第 2 周期		第 3 周期		第 4 周期		第 5 周期		第 6 周期		第 7 周期	
	φ_1	φ_2	φ_1	φ_2	φ_1	φ_2	φ_1	φ_2	φ_1	φ_2	φ_1	φ_2	φ_1	φ_2
S_1	1	D_1	2	D_2	3	D_3	4	D_4	T	D_T	6	D_6	...	
S_2	D_0	1	D_1	2	D_2	3	D_3	4	D_4	T	D_T	6	D_6	...
S_3	0	D_0	1	D_1	2	D_2	3	D_3	(5)	D_5	T	D_T	6	D_6
S_4	D_{-1}	0	D_0	1	D_1	2	D_2	3	D_3	5	D_5	E	D_E	6
S_5	-1	D_{-1}	0	D_0	1	D_1	2	D_2	(4)	D_4	5	D_5	E	D_E
S_6		-1	D_{-1}	0	D_0	1	D_1	2	D_2	4	D_4	5	D_5	E
S_7			-1	D_{-1}	0	D_0	1	D_1	(3)	D_3	4	D_4	5	D_5
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
S_{17}											-1	D_{-1}	0	D_0
S_{18}												-1	D_{-1}	0

(a) 对信号路径 $\{S_1 \dots S_{16}\}$ 的 S_4 级校准

(a) Calibration for stage S_4 in $\{S_1 \dots S_{16}\}$

子级 \ 时钟周期	第 1 周期		第 2 周期		第 3 周期		第 4 周期		第 5 周期	
	φ_1	φ_2	φ_1	φ_2	φ_1	φ_2	φ_1	φ_2	φ_1	φ_2
S_1	1	D_1	2	D_2	T	D_T	4	D_4	...	
S_2	D_0	1	D_1	2	D_2	T	D_T	4	D_4	...
S_3	0	D_0	1	D_1	③	D_3	T	D_T	4	D_4
S_4	D_{-1}	0	D_0	1	D_1	3	D_3	ⓔ	D_E	4
S_5	-1	D_{-1}	0	D_0	2	D_2	3	D_3	③	D_3
S_6		-1	D_{-1}	0	D_0	2	D_2	③	D_3	3
S_7			-1	D_{-1}	1	D_1	2	D_2	ⓔ	D_E
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

(b) 对信号路径 $\{S_1 \rightarrow \dots \rightarrow S_4 \rightarrow S_7 \rightarrow \dots \rightarrow S_{18}\}$ 的 S_4 级校准
 (b) Calibration for stage S_4 in $\{S_1 \rightarrow \dots \rightarrow S_4 \rightarrow S_7 \rightarrow \dots \rightarrow S_{18}\}$

图 5 校准技术的信号传递示意图

Fig. 5 Signal transmission of calibration technique

以对信号路径 $\{S_1 \rightarrow \dots \rightarrow S_4 \rightarrow S_7 \rightarrow \dots \rightarrow S_{18}\}$ 中的 S_4 进行校准为例,说明其他信号路径的校准方法。信号传递情况如图 5(b)所示,在第 3 个时钟周期 φ_1 时刻,信号 T 被插入 S_1 级,同时采样信号 3 被 S_3 级采样,此时 S_3 级就成为整个 ADC 的第 1 级。在第 4 个时钟周期的 φ_2 时刻,校准信号 E 被插入 S_4 级。在第 5 个时钟周期的 φ_1 时刻,采样信号 3 由 S_6 级传递到 S_5 级,校准信号 E 由 S_4 级传递到 S_7 级。在这个校准过程中,校准信号 E 的路径为 $\{S_4 \rightarrow S_7 \dots S_{18}\}$,同采样信号路径一致。其余信号路径的校准均可这样进行。

4 电路结构

本算法的控制信号由有限状态机(FSM)产

生,FSM 通过控制各级的开关来选择输入信号,并且向编码器提供控制信号。编码器接收来自各级比较器的输出结果 q_i 和 FSM 的控制信号,计算各级的权重 w_i ,并用式(1)计算数字输出码 D_{out} 。FSM 模块由一个有限状态机构成,共有 34 个状态,1 个状态为 ADC 的正常工作状态,其余 33 个为校准状态。

ADC 各级之间的信号连接关系如图 6 所示,第 17,18 级仅在校准期间工作。为实现本文的校准技术,ADC 的奇数级均需通过开关来选择合适的输入信号。另外,各级还需要选择输入余量电压或校准信号的开关,这些开关均由 FSM 所控制。

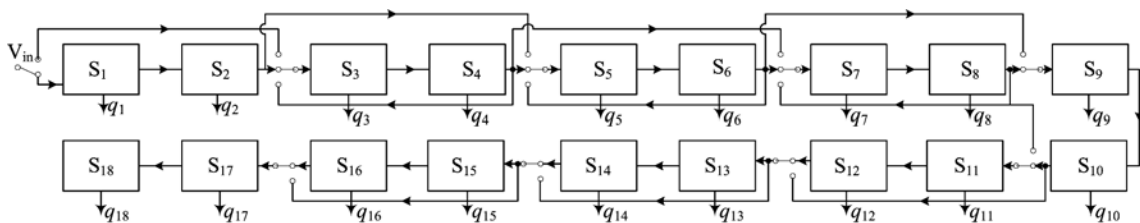


图 6 ADC 子级的输入信号连接

Fig. 6 Input signal connection of ADC's sub-stages

5 实验结果

为验证数字校准算法的效果,在同一芯片中对未采用数字校准算法与采用文献[10]算法及本文算法后的 ADC 性能进行了比较。流水线 ADC 的输入为 $-1 \sim +1$ V,输入信号频率为 20.1 MHz,采样频率为 80 MHz,测试结果如表 1 所示。由表 1 可见,本文算法提高了 ADC 的动态性能,同文献[10]相比,有效位提高了 3.7 bits。

表 1 流水线 ADC 动态参数

Tab.1 Dynamic parameters of pipelined ADCs

动态参数	未采用校准算法	采用[10]的算法	采用本文的算法
信噪比 (SNR)/dB	55.99	58.92	81.51
总谐波失真 (THD)/dB	-55.22	-84.30	-90.29
信号噪声失真比(SNDR)/dB	52.58	58.91	80.97
无杂散动态范围(SFDR)/dB	55.96	86.53	91.10
有效位数 (ENOB)/bits	8.4	9.5	13.2

未采用校准算法时流水线 ADC 的微分非线性(DNL)和积分非线性(INL)的变化情况如图 7(a)所示,从图中可以看出,DNL 为 $-1 \sim +2.2$ LSB,INL 为 $-221.1 \sim +216.2$ LSB;采用校准算法后的 DNL 和 INL 的变化情况如图 7(b)所示,DNL 为 $-0.7 \sim +0.9$ LSB,INL 为 $-1 \sim +1.5$ LSB。可以看出,校准后的 DNL 和 INL 都减小了,ADC 的静态性能得到提高。

本文的 14 位流水线 ADC 采用 Chartered 0.18 μm , 1p6m CMOS 工艺设计,采样率为 80 MS/s,模拟与数字电路均采用 1.8 V 电压供电,整个芯片功耗约为 260 mW。流水后的 ADC

芯片照片如图 8 所示,其尺寸为 7.16 mm^2 ,经测试功能正确。

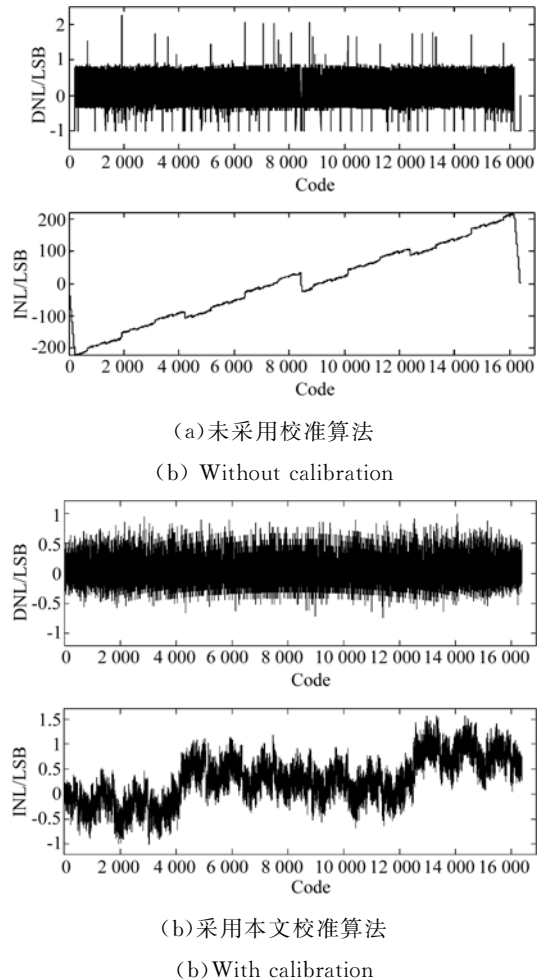


图 7 采用校准算法前后的 DNL 和 INL

Fig.7 DNLs and INLs of algorithms with/without calibrations

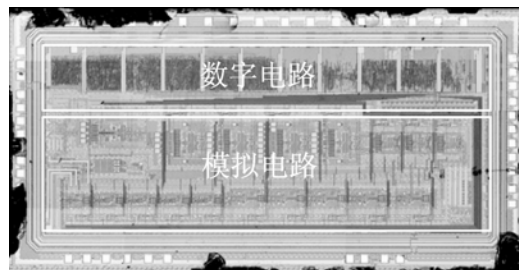


图 8 芯片照片

Fig.8 Chip photo

表 2 为本文芯片与同类产品性能的测试结果对比。可以看出,与同类产品相比较,本文芯片具有较低的功耗和较好的动态性能。

表 2 本文芯片与同类产品性能对比

Tab. 2 Comparison of proposed chip and previous work

芯片	精度/bit	采样速率/MHz	功耗/mW	SNDR/dB	DNL(max)/LSB	INL(max)/LSB	工艺
本文芯片	14	80	260	76.1	0.9	1.5	0.18 μm CMOS
文献[12]	14	70	235	63.4	0.6	1.8	0.35 μm CMOS
AD9444	14	80	1 070	73.7	0.4	0.6	0.35 μm CMOS
ADS5542	14	80	545	73.2	0.5	1.1	0.35 μm CMOS

6 结 论

本文将流水线 ADC 中存在的各种误差统一归结为各级基数和权重的偏差,实现了一种新的基于权重的后台数字校准。在引入校准信号的同时,可以不间断 ADC 的正常工作校准由运算放大器的有限开环增益及电容失配等引起的级间增益误差。本算法将所有信号路径中前 7 级的权重

都进行了校准,从而降低了模拟电路和版图的设计难度,进一步提高了精度。该校准技术用 14 位流水线 ADC 进行了验证,ADC 采用 Chartered 0.18 μm ,1p6m CMOS 工艺设计。实验结果表明,在 80 MS/s 采样率下,DNL 为 $-0.7 \sim +0.9$ LSB,INL 为 $-1 \sim +1.5$ LSB,SNDR 为 76.1 dB,整个芯片功耗约为 260 mW。本文芯片与同类型芯片相比,具有较小的功耗和较高的 SNDR 值。

参考文献:

- [1] 张晞,李德燕,王洪波,等. 数字闭环加速度计的带宽测试[J]. 光学 精密工程,2014,22(1): 92-98.
ZHANG X, LI D Y, WANG H B. Bandwidth measurement of digital closed-loop accelerometer [J]. *Opt. Precision Eng.*, 2014, 22(1): 92-98. (in Chinese)
- [2] 赵慧洁,刘小康,张颖. 声光可调谐滤波成像光谱仪的 CCD 成像电子学系统[J]. 光学 精密工程,2013, 21(5): 1291-1296.
ZHAO H J, LIU X K, ZHANG Y. CCD imaging electrical system of AOTF imaging spectrometer [J]. *Opt. Precision Eng.*, 2013, 21(5): 1291-1296. (in Chinese)
- [3] AMICO S D, COCCIOLO G, SPAGNOLO A, et al.. A 7.65-mW 5-bit 90-nm 1-Gs/s folded Interpolated ADC without calibration [J]. *IEEE Transactions on Instrumentation and Measurement*, 2014, 63(2):295-303.
- [4] FANG B N, WU J T. A 10-Bit 300-MS/s pipelined ADC with digital calibration and digital bias generation [J]. *IEEE Journal of Solid-State Circuits*, 2013, 48(3): 670-683.
- [5] 袁博宇,李威,罗成名. 溶液浓度变化实时检测系统的设计[J]. 光学 精密工程,2014,22(1): 18-23.
- [6] 陈健,高慧斌,郭劲,等. 数字化单杆控制系统设计 [J]. 光学 精密工程,2013,21(11): 2844-2851.
CHEN J, GAO H B, GUO J. Design of digital handle control system [J]. *Opt. Precision Eng.*, 2013, 21(11): 2844-2851. (in Chinese)
- [7] XIONG ZH X, CAI M, HE X Y. Digital background calibration for A 14-bit 100-MS/s pipelined ADC using signal-dependent dithering [C]. *Proceedings of IEEE International Conference of Electron Devices and Solid-State Circuits, Hong Kong, China, EDSSC*, 2013; 1-2.
- [8] MATSUNO J, YAMAJI T, FURUTA M, et al.. All-digital background calibration technique for time-interleaved ADC using pseudo aliasing signal [J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2013, 60(5): 1113-1121.
- [9] KARANICOLAS A N, HAE-SEUNG L, BARCRANIA K L. A 15-b 1-Msample/s digitally self-calibrated pipeline ADC [J]. *IEEE Journal of Solid-State Circuits*, 1993, 28(12): 1207-1215.
- [10] DELIC-IBUKIC A, HUMMELS D M. Continuous digital calibration of pipeline A/D converters[J].

IEEE Transactions on Instrumentation and Measurement, 2006, 55(4):1175-1185.

- [11] GUSTAVSSON M, WIKNER J J, TAN N N. *CMOS Data Converters for Communications*[M]. Boston: Kluwer Academic Publishers, 2000.
- [12] YOUNG-JAE C, KYUNG-HOON L, HEE-CHEOL

C, *et al.*. A Calibration-Free 14b 70MS/s 3.3 mm² 235 mW 0.13 μm CMOS pipeline ADC with high-matching 3-D symmetric capacitors [C]. *Custom Integrated Circuits Conference, San Jose, USA*, 2006: 485-488.

作者简介:



贾华宇(1977—),男,山西临汾人,博士,讲师,2004年于西安科技大学获得硕士学位,2011年于西安交通大学获得博士学位,主要从事集成电路设计方面的研究。E-mail: jiahuayu@mail.xjtu.edu.cn



刘丽(1982—),女,山西太原人,博士,讲师,2007年于四川大学获得硕士学位,2011年于北京航空航天大学获得博士学位,主要从事探地雷达设计方面的研究。E-mail: liu_li82@163.com