

文章编号 1004-924X(2014)04-0837-07

高速单像素相机数据采集系统

彭进业¹, 金浩强^{1,2*}, 石剑虹², 曾贵华²

(1. 西北工业大学 电子信息学院, 陕西 西安 710072;

2. 上海交通大学 区域光纤通信网与新型光通信系统国家重点实验室, 上海 200240)

摘要:研究了在压缩感知基础上发展起来的 3D 单像素相机的成像机制。基于现场可编程的阵列(FPGA)和 FMC 子板设计了一种可以代替雪崩光电二极管(APD)单光子探测器的高速 3D 单像素数据采集系统,以提高现有 3D 单像素相机系统的数据采集速度、降低系统成本。该系统基于 Xilinx 公司的 FPGA 和 4DSP 公司的 FMC126 子卡,配合高速光电探测器来实现对光信号的高速采集,同时获得目标物体反射光的光强信息和纵向距离信息,其采样率为 5 GS/s、分辨率为 10 bit。系统采用脉冲采样模式,最大程度地降低了数据量和计算成本。实验结果表明:在用 800 ps 半脉宽的脉冲激光器作为光源时,可以得到 20 cm 以上的纵向分辨率,每次数字微镜阵列(DMD)调制后的采集时间由目标物体的纵向长度决定。该系统也适合激光三维成像,脉冲激光测距等方面的应用。

关键词:3D 单像素相机;现场可编程门阵列;信号完整性;数据采集;压缩感知

中图分类号:TB851.9;TP391 **文献标识码:**A **doi:**10.3788/OPE.20142204.0837

Data acquisition system for high speed single-pixel camera

PENG Jin-ye¹, JIN Hao-qiang^{1,2*}, SHI Jian-hong¹, ZENG Gui-hua¹

(1. School of Electronics and Information, Northwestern Polytechnical University, Xi'an 710072, China;

2. State Key Laboratory of Advanced Optical Communication Systems and Networks,
Shanghai Jiao Tong University, Shanghai 200240, China)

* Corresponding author, E-mail: jhq_199081@163.com

Abstract: The imaging mechanism of a 3D single-pixel camera based on compressed sensing was explored. A new 3D single-pixel system based on a Field Programmable Gate Array(FPGA) and a FMC plane was design to replace the Avalanche Photo Diode(APD) single photon detector used in exiting 3D single-pixel cameras to collect data and to improve the acquiring speed of imaging. This system was based on a FPGA from Xilinx and the FMC plane from a 4DSP's FMC126 daughter card with high-speed photodetectors and could achieve high-speed optical signal acquisition. It could get the reflected light intensity information and the longitudinal distance information of a target object at the same time with a sampling rate of 5 GS/s and a solution of 10 bit. It used a pulse-sampling mode to minimize the size of data and the computing cost. Experimental results show that the system can get 20 cm or more precise longitudinal resolution when a pulse laser(half-width is 800 ps) is used as the light source, in

收稿日期:2013-07-01;修订日期:2013-08-20.

基金项目:国家自然科学基金资助项目(No. 61170228)

which the acquisition time of every Digital Micro-mirror Device(DMD) pattern is depend on the longitudinal length of the target object. The system is also can be used in the laser 3D imaging and pulse laser ranging.

Key words: 3D single-pixel camera; Field Programmable Gate Array(FPGA); signal integrity; data acquisition; compressed sensing

1 引言

传统成像系统采集的数据经过压缩后,只保留了部分有效信息,这会造成采集、储存资源和传输成本等方面的浪费。2006年,美国RICE大学将压缩感知理论^[1-3]应用于成像系统,提出了单像素相机^[4-6]。该相机利用数字微镜阵列(Digital Micro mirror Device, DMD)对光学图像进行线性采样,通过单个探测器元件测量采样值,之后利用重构算法重构出目标图像,从而实现单像素成像。单像素相机将图像采集和压缩合二为一,节省了储存资源和传输带宽,适用于传统方法无法拍摄的非可见光领域。

近几年来,单像素相机的研究扩展到三维成像领域。2011年,G. A. Howland等人提出了基于飞行时间(Time of Flight, TOF)的3D单像素相机^[6],把传统的基于飞行时间的脉冲激光测距融入单像素相机的应用中,但这要求探测器是有时间分辨率的高速探测器。G. A. Howland在弱光条件下使用雪崩光电二极管(Avalanche Photo Diode, APD)单光子计数器作为探测器。单光子探测器适用于弱光成像,但在弱光条件下探测能量时的积分时间较长,采集较慢。在实验中,脉冲激光器的重复频率达到10 MHz,每次DMD调制后的采集时间为500 ms。DMD总共需要调制1 500次,一次成像所需要的采集时间高达十几分钟,产生的数据量也很大;但DMD调制的时间很短,目前TI公司DMD芯片的调制速率可以达到20 kHz以上。这种使用主动光源的弱光成像方案在弱光条件下有着无与伦比的优势,但其在背景光较强时不能很好地工作。所以在很多情况下,单光子探测器不适合作为3D单像素相机的探测器。在光源较强的条件下,使用一个高速的单像素采集系统作为3D单像素相机的探测器,会显著地提高采集速度,进而提高成像速度。本文基于现场可编程门阵列(FPGA)和

FMC子板设计并实现了一种易实现、成本低、灵活性高的高速单像素数据采集系统,其采样率为5 GS/s、分辨率为10 bit。该系统被应用于3D单像素相机的接收端,有效地提高了采集效率,并降低了数据量和计算成本。最后通过实验验证了其可行性。该高速单像素光强采集系统在激光三维成像^[7-8],脉冲激光测距^[9]上都有着重要意义。

2 3D单像素相机结构

光源发出的脉冲光在目标物体上反射后,使用透镜把物体的像打到DMD上,由DMD对图像进行调制。DMD是单像素相机的关键元件,它由一系列可驱动的微小镜面组成,每个微镜相当于一个像素,每个镜面可以做 $\pm 12^\circ$ 的快速翻转,所有微镜按预知信息翻转后即完成一次调制。 -12° 方向微镜的反射光被抛弃掉, $+12^\circ$ 方向反射的总光强通过单像素探测器收集起来,从而实现整幅图像的一次采样测量,且需要较少次测量就能得到DMD满分辨率的图像。DMD阵列的大小就是目标图像的空间分辨率。2009年,清华大学马坚伟教授提出将单像素相机应用于航天遥感,通过计算模拟,在测量率(测量次数与像素总数的比值)为25%时能精确地恢复出图像^[10-11]。

对于2D单像素相机而言,低速的光电采集系统就足够满足速度要求,比如用低速光电倍增管配合低速AD采集卡^[5]。基于TOF的3D单像素相机的纵向分辨率基于探测器对时间上的分辨。由于脉冲光在物体的不同纵向距离上的反射光到达探测器的时间是不同的,如果探测器能分辨出其中的时间差别,那么就得到了纵向分辨率。G. A. Howland等人使用单光子计数器来实现时间上的分辨,这种方式能够实现弱光成像,但是受外界噪音影响较大且成像速度慢^[12-13]。本文使用一个高速单像素数据采集系统替换APD单光子计数器作为接收端探测器,期望不仅能在弱光条件下,还能在更普通的光照条件下(背景噪音较

强)使用3D单像素相机,而且能提高3D单像素相机的成像速度。当然,此时3D单像素相机成像系统需要能量更高的光源来提高成像系统的信噪比。这种情况下,相机可以进行远距离成像,但不再适用于弱光成像。

3D单像素相机的系统结构如图1所示。其中,高速单像素采集系统负责收集经过DMD调制的图像的总光强,并且能分辨出其时间上的差别以测量出脉冲光飞行时间的差别,进而得到纵向分辨率;同时该系统还控制DMD、脉冲激光器同步工作,以保证系统稳定有效的运行。

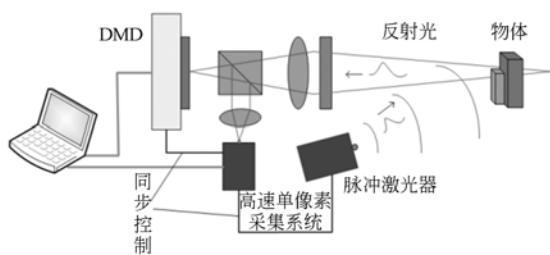


图1 3D单像素相机系统示意图

Fig.1 Schematic of 3D single-pixel camera

3 单像素采集系统结构

单像素采集系统的整体结构如图2所示,系统采用一块Xilinx XC6VLX240T作为主控核心,实现对A/D芯片的控制及数据的处理和传输,同时对光源、DMD等其它器件进行精确地时序控制。光电探测器把光强信号转化为电信号,其带宽为12GHz,信号上升沿为30ps,可以最大程度上响应光强的变化。前置调整电路为放大或衰减电路,用于把光电探测器的输出控制在A/D的接受范围内。

高速A/D的实现是采集系统的重点,现有的高速A/D采集卡价格都很高,且不方便二次开发和后续升级。若从芯片级开始进行自主开发将耗费大量的时间,且对开发人员的要求很高。本文应用FMC标准接口的数模转换器(Analog to Digital Converter,ADC)和FPGA来实现高速A/D。

单片A/D的速度一般都不高,而且价格较为昂贵;所以现在主流的超高速A/D都是利用并行采样原理,采用多个低成本、低采样率的A/D通过并行采样实现数据采集的高采样率。高速单像

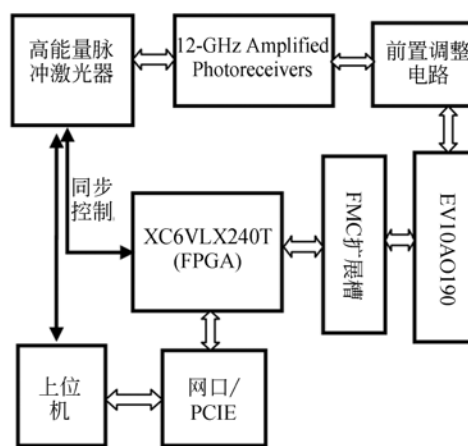


图2 单像素采集系统结构示意图

Fig.2 Schematic structure of single-pixel system

素采集系统的A/D采用4DPS公司的FMC子板FMC126^[14],所使用的A/D芯片为EV10AQ190。EV10AQ190是一个4通道多模式的A/D芯片,它基于4片采样率为1.25GS/s的ADC并行组合而成。EV10AQ190最高可以实现5GS/s的采样率和10bit的分辨率。同时EV10AQ190还可以实现4通道1.25GS/s和2通道2.5GS/s的采样频率,方便不同需求的应用。

FMC标准^[17]由包括FPGA厂商和最终用户在内的公司联合开发,旨在为基础板(载卡)上的FPGA提供标准的夹层卡尺寸、连接器和模块接口。通过这种方式将I/O接口与FPGA分离,不仅简化了I/O接口模块设计,同时还最大化了载卡的重复利用率。FMC接口也在简化了系统设计的同时使系统升级更加容易和灵活。

5GS/s的采集率生成的数据如果全部实时地传输到上位机,网口、PCIE这些通用接口都不再适用,只能采用更高速率的传输模式。这样的话,系统复杂度和成本都很大,而且如此大的数据计算量给系统速度的提高带来了很大的挑战。本系统采用脉冲式采样模式,通过精确地控制激光器、DMD和A/D之间的时序,尽量压缩需要的数据,每次测量只采集有用的脉冲光。

本文提出的高速单像素采集系统应用了FMC标准接口的ADC和FPGA,简化了采集系统的实现,一定程度上降低了系统成本;采用脉冲式采样模式,极大地降低了数据量和传输成本;可以随时根据要求对FPGA重新编程实现不同的应用,灵活性很大。

4 FPGA 模块设计

4.1 FPGA 设计结构

FPGA 设计结构如图 4 所示, A/D 采集的数据信号和数据时钟信号通过 LVDS 输入 FPGA。每一路的数据信号通过本地差分输入缓冲器, (IBUFDS)使差分信号转化成单端信号, 然后通过一个 1:8 的输入串并转换器 (ISERDES) 以供 FPGA 处理。这是因为 LVDS 信号路上传输的数据是速率达 1.25 Gb/s 的 DDR2 信号, 而使用的 XC6VLX240T 的系统时钟只有 200 MHz, 所以对于进入 FPGA 的数据使用 ISERDES 进行 1:8 串并转化, 使数据的速率降低为 156.25 Mb/s; 数据时钟经过输入全局缓冲 (IBUFGD) 后用一个 BUFR 分频, 再经过一个全局时钟缓冲器 (BUFG), 使分频之后的信号到达 FPGA 时各个逻辑器件的抖动和时延最小。

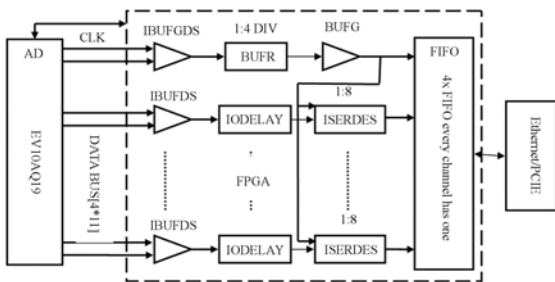


图 4 FPGA 设计结构图

Fig. 4 Schematic of designed FPGA

4.2 信号完整性问题

在高速电路系统中, 趋肤效应和介质损耗使信号的高频成分在传输过程中发生明显衰减, 在接收端信号出现码间干扰 (Inter-Symbol Interference, ISI), 从而引起抖动, 最终导致误码率提高。在信号发射端对传输信号的高频部分进行预加重可以缓解这一问题^[15]。

由于在 PCB 布局布线的时候不可避免地会使差分信号对的长度不同, 同时也会让同一数据通道 (4 个并行工作的 ADC 输出) 的 11 (10 对的数据和一对溢出标志位) 对差分信号对之间的长度不同。当一对差分信号对长度不一样时, 就会造成到达接收端时差分信号对 P 端和 N 端的信号不对齐的情况, 在差分转单端后会改变信号的

占空比, 容易造成误码; 当需要同步到达终端的差分信号对之间的长度不一样时, 会让这些信号到达终端的时间不一致, 这就使得所采集的数据不正确。

本文基于 FPGA 的 SelectIO™ 技术中的 IO-DELAY 和 ISERDESE 在信号接收端解决这些问题^[16]。IODELAY 是 FPGA 内部的一个延迟单元, XC6VLX240T 的 IODELAY 可以对输入信号实现 0~31 个 TAP 的延时, 在 200 MHz 的系统时钟下每个 TAP 的延时平均为 78 ps。具体处理过程如下:

(1) 首先让 EV10AQ190 芯片工作在测试模式^[18], 这时它的 4×11 个输出通道输出的是循环的“10000000000”信号。

(2) 信号经过 IODELAY 后通过 ISERDES 进行 1:8 的串并转化, 这样转化的数据将是“00/01/08/40/00/02/10/80/00/02”的循环。

(3) 对于一路数据信号, 首先找到一个数, 如 08, 显然 10 个时钟周期还是 08, 然后增加延迟使 10 个时钟之后的数据不再是 08 而变成 40, 记下此时的延时值 T_1 ; 继续增加延迟直到 10 个周期之后的数据不再是 40 而变成 00, 记下此时的延时值 T_2 。这样就找到了输入信号的脉宽 $T_3 = T_2 - T_1$ 。在这个脉宽的中间采样 (延时为 $T_1 + T_3/2$) 将会最大程度地降低误码率。对每一路信号都如此操作。

(4) 对于同一 ADC 通道输出的 11 路信号, 要保证它们到达 FPGA 的时间相同。以其中的一路信号为基准信号, 当其他信号路在同一时刻的数据与基准信号不一样时, 找下一个中点, 实际上就是延迟了一个脉宽, 如基准信号为 08, 而它却为 00, 这时重复步骤 (3) 的操作; 如果还不同, 则继续重复步骤 (3), 直到与基准信号数据相同。

使用这种处理方法前后的信号分别如图 5、图 6 所示。

图 5 显示的是用 ChipScope 软件捕获的 FPGA 内部的实时信号, DataPort[384] 到 DataPort[394] 显示的是未经处理的 C 通道的数据。很明显地可以看出, 最后一路信号和前 8 路信号不同步, 这 9 路信号不能同时到达 FPGA; 同时因为趋肤效应和介质损耗等原因, 甚至捕捉不到第 9 路和第 10 路信号。

图 6 是经过上述的处理之后重新捕获的实时

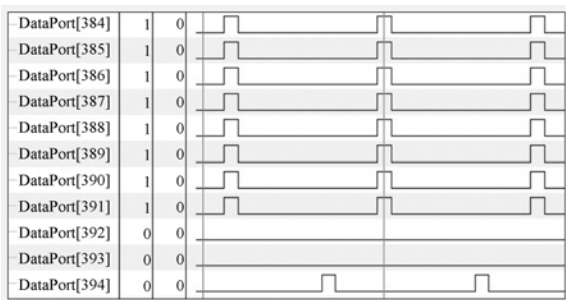


图 5 ChipScope 捕捉的处理前的数据信号

Fig. 5 Data captured by ChipScope before processed

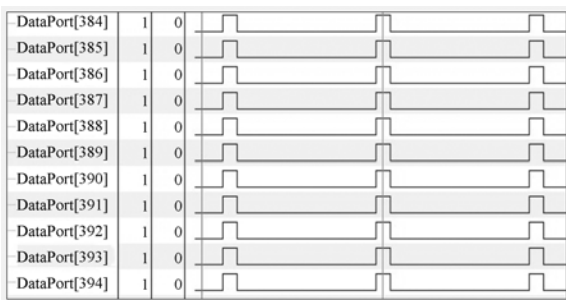


图 6 ChipScope 捕捉的处理后的数据信号

Fig. 6 Data captured by ChipScope after processed

信号。可以明显地看出,所有的信号同时到达 FPGA 且被准确地采集到,信号得到了很好的恢复。

5 单像素采集系统评估和测试结果

5.1 用 FFT 法测试 A/D 转化的信噪比和有效位数

快速傅里叶变换(Fast Fourier Transformation, FFT)法能够比较准确地测试 A/D 转换参数。用信号源给 FMC126 一个 1 GHz 的正弦信号,上位机和 FPGA 通过网线建立连接以后,由上位机通过网口控制 FPGA 采集 4 000 个采样点,并把得到的数据通过网线传输到上位机。通过 MATLAB 观察数据,FFT 计算结果如图 7 所示。

信噪比 SNR 为^[19]:

$$SNR = 20 \lg(V_s/V_n), \quad (1)$$

其中: V_s 为信号有效值, V_n 为噪音有效值。

有效位数为^[19]:

$$ENOB = \frac{SNR - 1.76 \text{ dB}}{0.02}. \quad (2)$$

计算得 $SNR = 46.982 \text{ dB}$, $ENOB = 7.5 \text{ bit}$ 。从结果中可以看出,A/D 转化工作良好,采集信

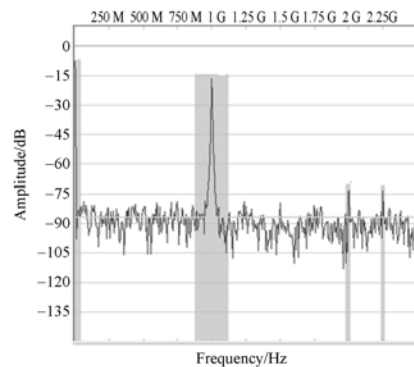


图 7 采集到的 1 GHz 正弦信号的频谱

Fig. 7 Spectrum of collected 1 GHz sinusoidal signal

号带宽为 1 GHz 时,有效位为 7.5 bit。

5.2 采集系统测试结果

实验系统如图 1 所示,使用 800 ps 脉宽、重复频率为 5 000 Hz、单脉冲能量为 0.02 μJ 的脉冲激光器作为光源,目标物体是一个二维物体,采集到的数据如图 8 所示。

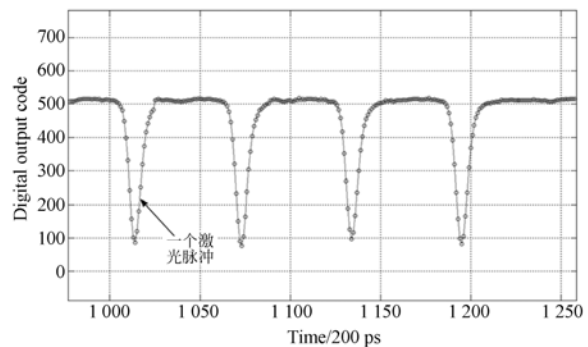


图 8 目标为二维物体时系统采集的数据

Fig. 8 Collected data for a two-dimensional object

DMD 每次调制之后,只需要采集一次脉冲信号即可得到有效的光场强度,从而根据压缩感知理论得到物体表面的信息,不需要像 APD 单光子探测器一样花费较长时间的积分才能得到光场强度值,大大提高了采集效率。

把物体换成一个三维物体,纵向上有两个反射平面,两个反射平面的纵向距离为 22 cm。采集系统得到的数据如图 9 所示。

从图 9 中不仅可以得到每个脉冲的能量,还可以得到不同物平面之间的距离和三维图像。半脉宽为 800 ps 的脉冲激光器理论上可以通过采集系统分辨出 12 cm 左右的纵向距离,但因受到采集系统的采样率、有效精度以及光电二极管精

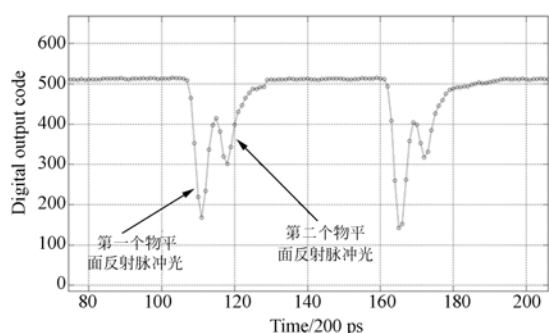


图 9 目标为三维物体时系统采集的数据

Fig. 9 Collected data for a three-dimensional object

度的影响而不能达到理想值。

系统用很少的(64个)采样点正确采集到了需要的数据,数据量被压缩到远小于单光子计数器一积分得到的数据量,很好地提高了处理效率。每次 DMD 调制后,所用的采集时间根据采集深度的(目标物体的纵向长度)不同而不同,一般情况下为纳秒级。不同的应用场合可以随时修改同步参数以满足新的应用要求。

参考文献:

- [1] DONOHO D L. Compressed sensing [J]. *IEEE Transactions on Information Theory*, 2006, 52(4): 1289-1306.
- [2] CANDÈS E, ROMBERG J, TAO T. Robust uncertainty principles: exact signal reconstruction from highly incomplete frequency information [J]. *IEEE Transactions on Information Theory*, 2006, 52(2): 489-509.
- [3] CANDÈS E. Compressive sampling [C]. *Proceeding of International Congress of Mathematicians*, 2006: 1433-1452.
- [4] 朱明,高文,郭立强. 压缩感知理论在图像处理领域的应用[J]. *中国光学*, 2011, 4(5): 441-447.
ZHU M, GAO W, GUO L Q. Application of compressed sensing theory in image processing [J]. *Chinese Journal of Optics*, 2011, 4(5): 441-447. (in Chinese)
- [5] 陈涛,李正炜,王建立. 应用压缩感知理论的单像素相机成像系统[J]. *光学精密工程*, 2012, 20(11): 2523-2530.
CHEN T, LI ZH W, WANG J L. Imaging system

6 结 论

本文基于 FPGA 和 FMC 子板设计并实现了一款采样率为 5 GS/s、分辨率为 10 bit 的高速单像素光强采集系统。在信号接收端 FPGA 有效地解决了高速数据传输时信号的完整性问题,设计实现了脉冲式采样模式,在保证系统正确采样的情况下极大地减少了数据量。将该系统应用在 3D 单像素相机中,代替传统的 APD 单光子计数器,有效地提高了 3D 单像素相机的采集效率,能将一次 DMD 调制后的采集时间从 500 ms 左右减小到纳秒级别。本高速单像素相机数据采集系统具有低成本、易实现、灵活性高等优点。

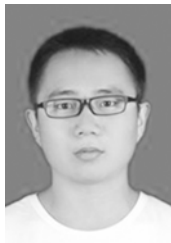
虽然本系统不再适用于弱光成像,且需要较高能量的脉冲激光器作为光源;但是在这种模式下,成像系统的抗噪性得到了提高,可用于普通的光照条件下,扩大了应用范围。实验采用 800 ps 半脉宽的脉冲激光器作为光源时,成像系统可以得到 20 cm 以上的纵向分辨率。该系统还适用于激光三维成像,脉冲激光测距等方面。

of single pixel camera based on compressed sensing [J]. *Opt. Precision Eng.*, 2012, 20(11): 2523-2530. (in Chinese)

- [6] HOWLAND G A, DIXON P B, HOWELL J C. Photon-counting compressive sensing laser radar for 3D imaging [J]. *Optical Society of America*, 2011, 50(31): 5917-5920.
- [7] 马建设,夏飞鹏,苏萍,等. 数字全息三维显示关键技术及系统综述[J]. *光学精密工程*, 2012, 20(5): 1141-1152.
MA J SH, XIA F P, SU P, et al.. Survey on key techniques and system of digital holographic 3D display [J]. *Opt. Precision Eng.*, 2012, 20(5): 1141-1152. (in Chinese)
- [8] 王昊鹏,刘泽乾. 激光三维成像技术及其主要应用[J]. *电子设计工程*, 2012, 20(12): 160-164.
WANG H P, LIU Z Q. 3-D laser imaging technology and applications [J]. *Electronic Design Engineering*, 2012, 20(12): 160-164. (in Chinese)
- [9] 黄震,刘彬. 脉冲激光测距中时间间隔测量的新方法[J]. *光电子·激光*, 2006, 17(9): 1153-1155.
HUANG ZH, LIU B. New method to measure the

- time-of-flight in pulse laser ranging[J]. *Journal of Optoelectronics • Laser*, 2006, 17(9):1153-1155. (in Chinese)
- [10] MA J W. Single-pixel sensing [J]. *IEEE Geoscience and Remote Sensing Letters*, 2009, 6(2):1999-2003.
- [11] MA J W. A single-pixel imaging system for remote sensing by two-step iterative curvelet thresholding [J]. *IEEE Geoscience and Remote Sensing Letters*, 2009, 6(4):676-680.
- [12] 俞文凯,姚旭日,刘雪峰,等. 压缩感知用于极弱光计数成像[J]. *光学精密工程*, 2012, 20(10):2283-2292.
- YU W K, YAO X R, LIU X F, *et al.*. Compressed sensing for ultra-weak light counting imaging[J]. *Opt. Precision Eng.*, 2012, 20(10):2283-2292. (in Chinese)
- [13] 何伟基,司马博羽,程耀进,等. 基于盖格-雪崩光电二极管的光子计数成像[J]. *光学精密工程*, 2012, 20(8):1831-1837.
- HE W J, SIMA B Y, CHENG Y J, *et al.*. Photon counting imaging based on GM-APD[J]. *Opt. Precision Eng.*, 2012, 20(8):1831-1837. (in Chinese)
- [14] 4DSP, FMC122/FMC125/FMC126 User Manual [EB/OL]. (2010). <http://www.4dsp.com/>
- [15] 韦雪明,李平. 一种 2.5 Gb/s 带预加重结构的低压差分串行发送器 [J]. *微电子学*, 2010, 40(6):770-773.
- WEI X M, LI P. A 2.5 Gbit/s low voltage differential signal transceiver with pre-emphasis[J]. *Microelectronics*, 2010, 40(6):770-773. (in Chinese)
- [16] Xilinx, Inc. Virtex-6 FPGA datasheet [EB/OL]. (2012). <http://china.xilinx.com/>
- [17] Xilinx, Inc. I/O Design Flexibility with the FPGA Mezzanine Card (FMC) [EB/OL]. (2009). <http://china.xilinx.com/>
- [18] E2V, Inc. EV10AQ190 datasheet [EB/OL]. (2009). <http://www.e2v.com/>
- [19] 张志强,阮黎婷. ADC 模数转换器有效位数计算 [J]. *电子科技*, 2010(3):84-86.
- ZHANG ZH Q, RUAN L T. Calculation of effective numbers of bits for the analog to digital converter [J]. *Electronic Sci. & Tech.*, 2010(3):84-86. (in Chinese)

作者简介:



金浩强(1990—),男,山东日照人,2007年于西北工业大学获得学士学位,主要从事 FPGA 设计,电路设计,量子成像方面的研究。E-mail: jhq_199081@163.com

导师简介:



彭进业(1964—),男,湖南涟源人,教授,博士生导师,2002年于西北工业大学获得博士学位,现任西北大学信息科学与技术学院副院长,陕西省图像图形学会理事,主要从事图像处理,量子通信,电路系统等方面的研究。E-mail: jinyepeng@nwpu.edu.com

(版权所有 未经许可 不得转载)