

文章编号 1004-924X(2014)05-1129-09

集成封装发光二极管光提取效率的计算及优化

白一鸣¹, 罗毅^{1,2}, 韩彦军^{1*}, 李洪涛¹

(1. 清华大学 电子工程系 清华信息科学技术国家实验室(筹), 北京 100084;

2. 清华大学 深圳研究生院 半导体照明实验室, 广东 深圳 518057)

摘要:基于蒙特卡罗方法模拟、计算并分析了芯片类型、大小、间距、数量以及布局对 GaN 基发光二极管(LED) 集成封装器件 COB(Chip On Board)能效的影响。计算结果表明:在芯片间距小于 200 μm 且芯片尺寸或布局等参数相同的条件下,正装 LED COB 的能效最低,其次为倒装 LED COB,垂直结构芯片的能效最大。当芯片间距大于 200 μm ,3 种 LED COB 的能效趋向饱和。芯片尺寸增加或数量减少可使正装和倒装芯片 COB 的能效上升,而垂直结构 COB 的能效基本保持不变。加入图形衬底可提高同样尺寸或布局的正装芯片 COB 封装器件的能效,但使倒装芯片 COB 的能效恶化。分析表明:芯片的侧面出光量占整个芯片出光量的比值以及相邻芯片材料的吸收对 3 种类型 COB 封装器件的能效有决定性影响。文中还针对正装芯片 COB 设计了新型菱形芯片布局,与常规正方形芯片布局的 COB 相比,其能效提高了 6.2%。

关键词:发光二极管;集成封装;COB(Chip On Board);光提取效率;蒙特卡罗方法

中图分类号:TN312.8 **文献标识码:**A **doi:**10.3788/OPE.20142205.1129

Calculation and optimization of light extraction efficiency for integrated LED

BAI Yi-ming¹, LUO Yi^{1,2}, HAN Yan-jun^{1*}, LI Hong-tao¹

(1. Tsinghua National Laboratory for Information Science and Technology, Department of
Electronic Engineering, Tsinghua University, Beijing 100084, China;

2. Laboratory for Semiconductor Lighting, Graduate School at Shenzhen, Tsinghua
University, Shenzhen 518057, China)

* Corresponding author, E-mail: yjhan@mail.tsinghua.edu.cn

Abstract: On the basis of Monte Carlo simulation, the influence of chip types, sizes, spacing, numbers and layouts on the energy efficiency of a GaN-based Light Emission Diode(LED) integrated packaging COB(Chip On Board) device was analyzed. The calculation results show when the chip spacing is less

收稿日期:2013-08-21;**修订日期:**2013-09-29.

基金项目:国家科技支撑计划资助项目(No. 2011BAE01B07, No. 2012BAE01B03);国家 973 重点基础研究发展计划资助项目(No. 2012CB315605, No. 2011CB301900);国家 863 高技术研究发展计划资助项目(No. 2011AA03A112, No. 2011AA03A106, No. 2011AA03A105);国家自然科学基金资助项目(No. 61176015, No. 60723002, No. 61176059, No. 60977022, No. 51002085);广东省科技计划资助项目(No. 2011A081301003);北京市自然科学基金资助项目(No. 4091001);集成光电子学国家重点联合实验室开放基金资助项目(No. IOSKL2012KF09)

than 200 μm while the other parameters are fixed, the face-up chip COB LED has the lowest energy efficiency, and that of the flip chip COB LED comes second and the vertical chip COB LED provides the highest energy efficiency. Moreover, each energy efficiency of these three kinds of COB LED devices tends to saturation when the chip spacing is larger than 200 μm . The increase of the chip size or the decrease of the chip amount can improve the energy efficiencies of the face-up COB LED and flip chip COB LED, while the energy efficiency of the vertical chip COB LED keeps almost a constant. The substrate patterning can improve the energy efficiency of face-up chip COB device with the same size or layout, however it deteriorates that of the flip chip COB device. It is concluded that the percentage of the light emitted from the side surface of the chip and the material-absorption among adjacent chips have a decisive influence on the energy efficiency of the three types of COB packaging devices. As for face-up chip COB LED, a diamond-shaped layout of the chips was presented, and the simulation result shows that the energy efficiency can be increased by 6.2% as compared with that of conventional square chip layout.

Key words: Light Emitting Diode (LED); integrated package; Chip on Board (COB); light extraction efficiency; Monte Carlo method

1 引言

集成封装发光二极管(LED)是由多颗 LED 经封装构成的集成器件, 又称板上芯片(Chip on Board, COB)^[1-2]。它具有高光通量和高出光密度的特性, 可实现 LED 灯具模块化, 并与传统路灯无缝衔接, 使更换、安装、维修更加方便, 从而有力地推动 LED 照明光源的发展; 结合倒装焊技术, 它还可与传统的半导体集成电路进行大规模集成, 使驱动电路更加稳定、可靠^[3]。选取成品率及光提取效率更高的多颗小芯片构成集成封装 LED, 可进一步提高光效、降低成本。

目前, 集成封装 LED 是学术界和产业界的研究热点。Wu Dan 等人提出在封装硅胶的表面设计多种形状微结构来提高集成封装 LED 的光效^[4]。此外, 针对集成封装 LED 的一次光学设计^[5]、散热基板结构^[6]、封装光学结构^[7-8]和寿命分布^[9]也开展了一些研究。同时, 利用图形衬底^[10]、芯片表面粗糙化^[11-12]等技术来提高芯片的光提取效率也成为集成封装 LED 光效研究的焦点。然而, 多颗 LED 芯片经过集成封装后的光提取效率低于相同规格分立封装的单颗 LED。其主要原因在于集成封装中多芯片间的相互影响会导致器件的整体光提取效率降低。本文基于蒙特

卡罗方法对集成封装 LED 器件的光效进行了理论计算, 优化分析了芯片的大小、间距、数量、布局 and 芯片间微结构对正装、倒装、垂直 3 种结构类型的 GaN 基 LED 集成封装器件能效(COB 光提取效率与单颗芯片光提取效率的比值)的影响, 从而为提高集成封装 LED 的光效奠定基础。

2 模型的建立

本文采用蒙特卡罗光子射线追踪法(Monte Carlo Ray Tracing)^[13-14]进行集成封装 LED 光提取效率的理论分析和模拟。COB 尺寸选取 300 $\mu\text{m} \times 300 \mu\text{m} \sim 1\,000 \mu\text{m} \times 1\,000 \mu\text{m}$, 芯片由衬底、缓冲层、有源层、电极等部分组成。其中忽略电极吸收和透过率等因素的影响, 设定透明电极透过率为理想值 100%, 芯片材料结构如表 1 所示, 材料选用 p-GaN、MQW、n-GaN 及蓝宝石衬底, 其厚度分别为 0.2, 0.05, 4, 100 μm ; 图形衬底选用二维金字塔阵列图形的蓝宝石衬底; 垂直结构芯片表面粗糙化选用相同尺寸的二维金字塔阵列图形衬底, 如图 1 所示。图形高度 $H = 1 \mu\text{m}$, 凹槽宽度 $G = 0.6 \mu\text{m}$, 周期宽度 $P = 0.9 \mu\text{m}$, 占空比为 0.5。

表 1 计算模型参数

Tab. 1 Parameters of calculation models

Material	Thickness / μm	Refractive index	Absorption coefficient / μm^{-1}
p-GaN	0.2	2.45	0.01
MQW	0.05	2.54	
n-GaN	4	2.42	0.01
Sapphire	100	1.76	0.000 001
Resin		1.54	

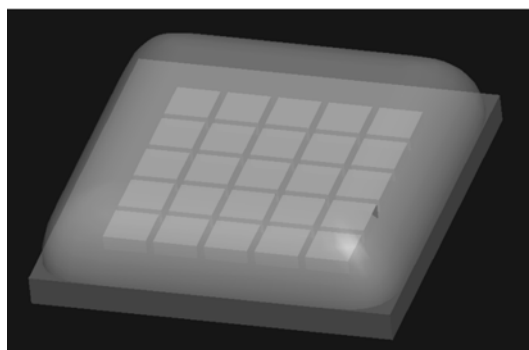


图 2 5×5 LED COB 光学模型

Fig. 2 Optical model of 5×5 LED COB

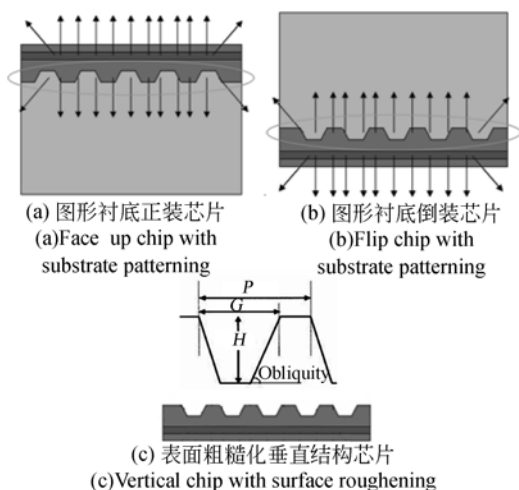


图 1 图形衬底及表面粗糙化芯片剖面图

Fig. 1 Profiles of chips with substrate patterning or surface roughening

COB 集成封装模型如图 2 所示: 封装芯片分别采用正装、倒装、垂直结构, 放置在 90% 反射率的金属铝基板上; 封装材料选取折射率 $n=1.54$ 的硅胶材料, 形状采用平顶正方体, 四边为圆弧形过渡, 硅胶高度 $h=500\ \mu\text{m}$ 、硅胶外沿距芯片 $w=500\ \mu\text{m}$, 如图 3 所示。

为了描述集成封装中由多芯片间相互影响导致的器件整体光提取效率降低这一现象, 本文提出 LED 集成封装器件 COB 能效这一概念, 即 COB 器件多颗芯片整体光提取效率与单颗芯片光提取效率的比值, 如式(1)所示。

$$\text{COB 能效} = \frac{\text{COB 光提取效率}}{\text{组成 COB 的单颗芯片光提取效率}} \quad (1)$$

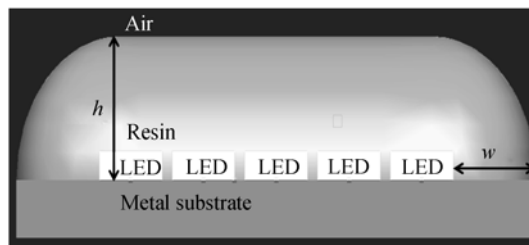


图 3 5×5-300 μm×300 μm LED COB 剖面图

Fig. 3 Profile of 5×5-300 μm×300 μm LED COB

通过优化 3 种类型 COB 的芯片大小、间距、数量和布局等因素, 来减小多芯片间的相互影响, 增大 LED 集成封装器件 COB 的光提取效率, 使其接近 LED 分立封装器件的光效。

3 基于正方形芯片布局的 COB 封装器件能效模拟结果及分析

3.1 平面结构下芯片间距、尺寸对 COB 能效的影响

首先, 在芯片数量为 25 (5×5), 尺寸分别为 $300\ \mu\text{m} \times 300\ \mu\text{m}$ 、 $500\ \mu\text{m} \times 500\ \mu\text{m}$ 和 $1\ 000\ \mu\text{m} \times 1\ 000\ \mu\text{m}$ 时, 模拟计算了平面结构正装、倒装和垂直结构 LED COB 的能效与芯片尺寸及间距的关系, 结果如图 4 所示。

从图中可以看出, 当芯片尺寸为 $300\ \mu\text{m} \times 300\ \mu\text{m}$, 芯片间距为 $10\ \mu\text{m}$ 时, 正装芯片 COB 的能效最低, 为 82%; 其次是倒装芯片 COB, 其能效为 94.2%; 垂直结构 COB 的能效最大, 为 97.8%。随着芯片间距的增大, 3 种芯片类型 COB 的能效单调升高。当芯片间距从 $10\ \mu\text{m}$ 增大到 $50\ \mu\text{m}$ 时, 正装芯片 COB 能效的提升幅度最大, 为 5.7%, 倒装芯片提高了 2.7%, 垂直结

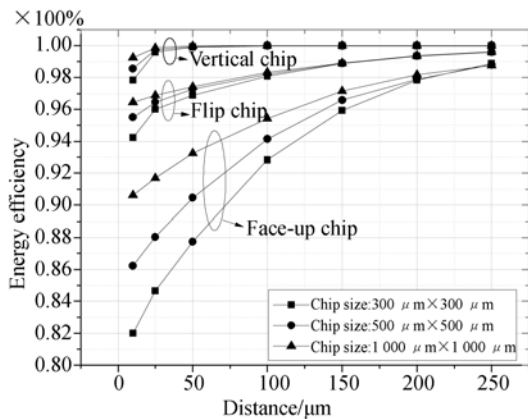


图 4 5×5 LED COB 能效与芯片尺寸及间距的关系
Fig. 4 Variations of 5×5 LED COB energy efficiency with chip sizes and chip distances

构提高了 2.1%。随着芯片间距的继续增大,3 种芯片类型 COB 能效的提升幅度逐渐减少;当芯片间距达到一定程度后能效达到饱和(定义 COB 能效达到 98% 以上为饱和)。正装、倒装和垂直结构 COB 达到能效饱和时的芯片间距分别为 205, 95, 12 μm 。因此,芯片间距对 3 种芯片类型 COB 能效的影响程度不同,对正装芯片 COB 的影响最大,其次是倒装芯片 COB,对垂直结构 COB 的影响最小。

当芯片尺寸由 $300 \mu\text{m} \times 300 \mu\text{m}$ 增加到 $1000 \mu\text{m} \times 1000 \mu\text{m}$,芯片间距为 $10 \mu\text{m}$ 时,3 种类型 COB 的能效都有所上升。其中能效较低的正装芯片 COB 的上升幅度最大,能效上升了 8.6%,能效较高的倒装和垂直结构芯片 COB 分别上升了 2.22% 和 2.07%。随着芯片间距的增大,较大芯片尺寸的 COB 能效更加接近其饱和能效,所以其提高幅度小于小尺寸芯片。当芯片间距由 $10 \mu\text{m}$ 增大到 $50 \mu\text{m}$ 时, $1000 \mu\text{m} \times 1000 \mu\text{m}$ 正装、倒装和垂直结构 COB 的能效分别提升了 2.64%、0.97% 和 0.72%;另外,芯片尺寸的增加使 COB 能效达到饱和所需的芯片间距减小,当芯片尺寸由 $300 \mu\text{m} \times 300 \mu\text{m}$ 增加到 $1000 \mu\text{m} \times 1000 \mu\text{m}$ 时,正装和倒装芯片 COB 能效饱和和所需芯片间距分别为 $185 \mu\text{m}$ 和 $80 \mu\text{m}$,垂直结构 COB 所需间距则减小到 $10 \mu\text{m}$ 以内。因此,在未达到饱和能效的情况下,增大芯片尺寸可不同程度地提升 3 种芯片类型 COB 的能效。

3.2 平面结构下芯片数量对 COB 能效的影响

如图 5 所示,在芯片尺寸为 $300 \mu\text{m} \times 300 \mu\text{m}$

μm ,芯片数量分别为 25 (5×5)、16 (4×4) 和 9 (3×3) 的条件下,模拟计算了平面结构正装、倒装和垂直结构 LED COB 的能效与芯片间距的关系。

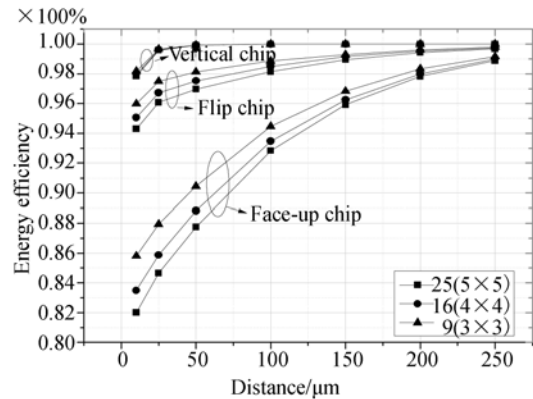


图 5 $300 \mu\text{m} \times 300 \mu\text{m}$ LED COB 能效与芯片数量及间距的关系
Fig. 5 Variations of energy efficiency of $300 \mu\text{m} \times 300 \mu\text{m}$ LED COB with chip numbers and chip distances

从图 5 可以看出,芯片数量的减少对于垂直结构 COB 的能效几乎没有影响,而对于正装结构 COB 和倒装结构 COB 则有利于提高其能效。当芯片间距为 $10 \mu\text{m}$,芯片数量由 25 减少到 9 时,正装芯片 COB 的能效由 82% 上升到 85.8%,倒装芯片 COB 由 94.2% 上升到 96%。当芯片间距由 $10 \mu\text{m}$ 增大到 $50 \mu\text{m}$ 时,芯片数量为 9 的正装和倒装芯片 COB 的能效分别提高了 4.64% 和 2.13%,较 25 颗芯片的正装和倒装 COB 能效的提高幅度有所减小。此外,9 颗芯片 COB 正装和倒装的能效达到饱和时芯片间距分别为 $187 \mu\text{m}$ 和 $47 \mu\text{m}$,且芯片数量越小,能效达到饱和时芯片间距越小;而垂直结构 COB 达到饱和所需的芯片间距基本保持不变。

3.3 图形衬底及芯片表面粗糙化对 COB 能效的影响

业界通常采用图形衬底以及芯片表面粗糙化的方法来提高单芯片的光提取效率。针对这两类芯片所集成的 LED COB 形式,在芯片尺寸为 $300 \mu\text{m} \times 300 \mu\text{m}$ 、芯片数量为 25 (5×5) 的情况下,模拟计算了正装、倒装芯片 COB 加入图形衬底前后,以及垂直结构 COB 使用表面粗糙化前后的能效与芯片间距的关系,结果如图 6 所示。

从图中可以看出,垂直结构 COB 使用表面

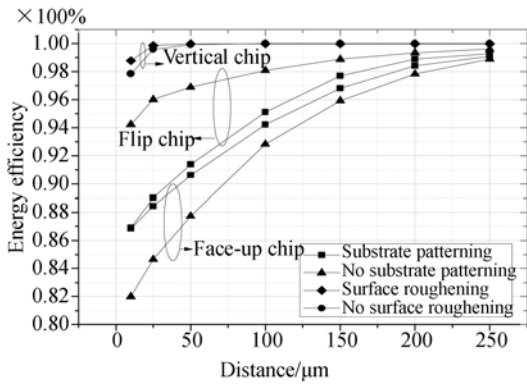


图 6 图形衬底及表面粗糙化 LED COB 能效与芯片间距的关系

Fig. 6 Variations of energy efficiency of substrate patterning and surface roughening LED COBs with chip distances respectively

粗糙化前后的能效基本保持不变, 仅在未达到饱和时有小幅度增长, 进而在更小的间距内达到饱和状态。正装芯片 COB 加入图形衬底, 其未饱和能效得到提升, 在芯片间距为 $10 \mu\text{m}$ 时能效由 82% 上升到 86.8% , 能效饱和和所需间距由 $205 \mu\text{m}$ 减小到 $185 \mu\text{m}$ 。而倒装芯片 COB 加入图形衬底后, 其未饱和时能效明显下降, 当芯片间距为 $10 \mu\text{m}$ 时能效由 94.2% 下降到 86.9% , 与图形衬底正装芯片 COB 的能效非常接近, 能效饱和和所需间距也由 $95 \mu\text{m}$ 增大到 $165 \mu\text{m}$ 。因此, 图形衬底技术利于改善正装芯片 COB 的能效, 但对于倒装芯片 COB, 其结果则相反。

3.4 模拟结果分析

为了解释 COB 封装器件能效的模拟计算结果, 本文分析了组成 COB 的单颗芯片的侧面发光特性。COB 的单颗芯片集成在反射基板上, 出光面由上表面和 4 个侧面组成, 其出射光满足 Snell 定律和全反射定律, 即有:

$$n_1 \sin \theta_1 = n_2 \sin \theta_2, \quad (2)$$

$$\theta_c = \sin^{-1} \left[\frac{n_2}{n_1} \right]. \quad (3)$$

由于 3 种不同类型芯片出光面的材料类型不同, 所以出射光锥存在差异。蓝宝石的折射率较 GaN 更接近封装硅胶, 所以具有更大的出射光锥。经计算得到 GaN 与封装硅胶间的出射光锥角度为 39.9° , 蓝宝石则为 61.1° 。如图 7 所示, 正装芯片的侧面较正面具有更大的出射光锥; 而倒装和垂直结构芯片的正面与侧面则具有相同的出射光锥。

另一方面, 芯片类型不同光出射的侧面和正面比例差别也很大, 如图 8 所示。从图中可以明显看出, 垂直结构芯片侧面出光面积占整个芯片总出光面积的比例要远远低于正装芯片和倒装芯片。当芯片尺寸为 $300 \mu\text{m} \times 300 \mu\text{m}$ 时, 垂直结构芯片侧面出光面积占芯片总出光面积比例为 5.4% , 而正装和倒装两种芯片为 58.2% 。随着芯片尺寸的增大, 3 种类型芯片的侧面出光面积比例都下降, 当芯片尺寸为 $1000 \mu\text{m} \times 1000 \mu\text{m}$ 时, 垂直结构芯片比例的绝对值下降了 3.7% , 正装和倒装两种芯片则下降了 28.8% 。

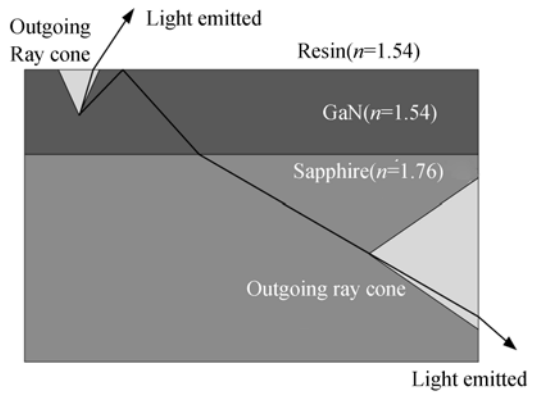


图 7 出射光锥示意图

Fig. 7 Schematic diagram of outgoing ray cone

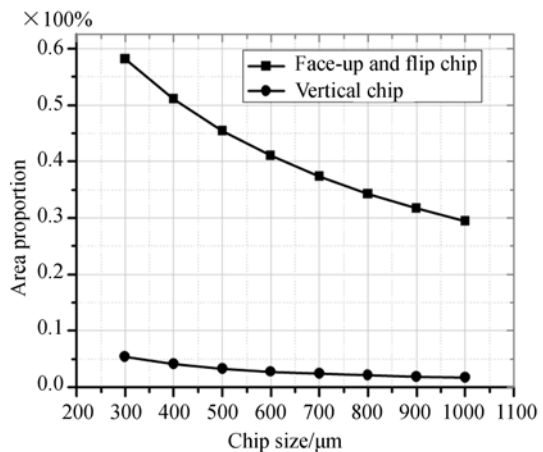


图 8 芯片侧面面积占芯片整体出光面积的比例

Fig. 8 Percentage of side surface area of chip

如图 9 所示, 出射光锥以及侧面出光面积占整个芯片出光面积的比例决定了芯片的侧面发光特性。由图可知, 芯片尺寸相同时, 正装芯片侧面出光占芯片总出光的比例最大, 倒装芯片次之, 而

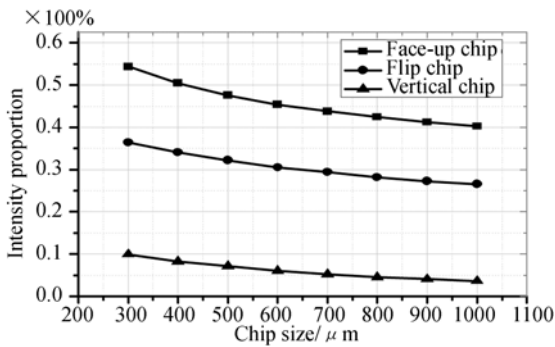


图 9 芯片侧面出光占芯片总出光比例

Fig.9 Percentage of light emitted from side surface of chip

垂直结构芯片的侧面出光比例最小。随着芯片尺寸的增大, 3 种芯片的侧面出光比例不同程度地下降, 正装芯片的侧面出光比例较倒装芯片下降得更为明显, 而垂直结构芯片的下降幅度最小。

当芯片紧密排布时, 由于存在材料吸收, 在芯片间距相同的情况下, 侧面出光比例越高, 集成封装器件的能效越低。由此可知, 正装芯片的能效最低, 而垂直结构芯片的能效最高; 但随着芯片尺寸的增大, 侧面出光比例下降, 芯片能效提升。随着芯片间距的增大, 芯片侧面被相邻芯片吸收而损耗的光的比例下降, 导致整个 COB 器件的能效升高。因此, 芯片侧面出光比例的变化规律与材料吸收解释了图 4 中 COB 器件能效的变化规律。

减少芯片的数量本质上是整体降低了对芯片侧面出光的吸收比例。该手段对提高侧面出光比例最大即受芯片间相互影响最大的正装芯片的能效最为有效, 倒装芯片次之, 而对于侧面出光比例很小的垂直结构芯片几乎没有影响。由此可以解释图 5 中的变化规律。

表 2 图形衬底和表面粗糙化对 COB 能效的影响

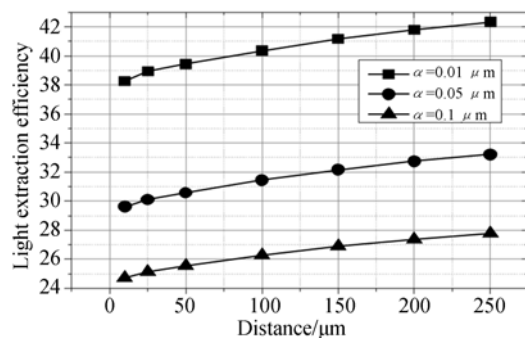
Tab.2 Influence of substrate patterning and surface roughening on COB energy efficiency (%)

300 μm \times 300 μm	Face-up chip substrate patterning		Flip chip substrate patterning		Vertical chip surface roughening	
	NO	YES	NO	YES	NO	YES
Light emitted from side surface	54.39	47.27	42.47	45.01	11.42	6.2
Chip distance 10 μm energy efficiency	82	86.8	94.2	86.9	97.8	98.8
Chip distance 50 μm energy efficiency	87.74	90.62	96.89	91.38	99.91	99.98

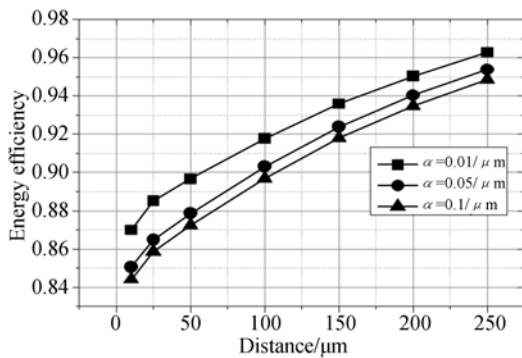
在考虑图形衬底或表面粗糙化的影响后, 芯片侧面出光占整个出光的比例也发生了变化。如表 2 所示, 垂直结构芯片运用表面粗糙化结构进一步降低了芯片侧面出光比例, 但由于未粗糙化的垂直结构芯片侧面出光比例已经很小, 所以对其整体能效的影响不大。正装芯片由于加入了图形衬底使得原本在 GaN 内部全反射的光线从 GaN 芯片正面成功出射, 降低了侧面出光比例, 从而降低了芯片间的影响, 增大了其能效。倒装芯片在加入图形衬底后反而增大了侧面的出光比例, 造成 COB 器件的能效降低。加入图形衬底后的正装和倒装芯片 COB 侧面出光比例十分近似, 所以两者的饱和能效以及饱和间距非常接近。此计算结果符合图 6 中的变化规律。

相邻芯片的材料吸收也是影响 COB 整体光提取效率的主要因素。本文在芯片尺寸为 300 μm \times

300 μm 、芯片数量为 9(3 \times 3)的情况下, 模拟计算了在不同的 GaN 吸收系数下平面结构正装芯片 COB 的光提取效率及能效与芯片间距的关系, 如图 10 所示。在加入透过率不同的透明电极后, COB 的光提取效率及能效的变化趋势如图 11 所示。



(a) 光提取效率与 GaN 吸收系数及间距的关系
(a) Variations of light extraction efficiency with GaN absorption coefficient and chip distance



(b) 能效与 GaN 吸收系数及间距的关系
(b) Variations of energy efficiency with GaN absorption coefficients and chip distances

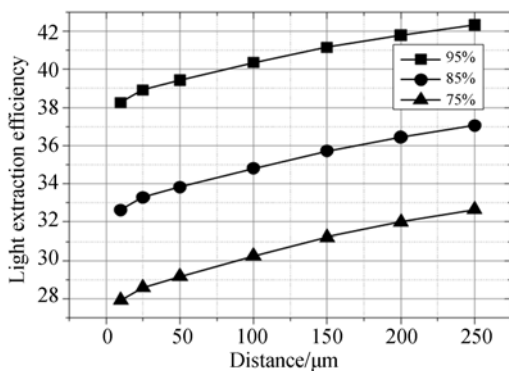
图 10 GaN 吸收系数对于正装芯片 COB 发光特性的影响
Fig. 10 Influence of GaN absorption coefficient on performance of face-up COB LEDs

从图 10 中可以看出, 在相同的芯片间距下集成封装 COB 的光提取效率以及能效都随着 GaN 材料的吸收系数的增大而减小。其主要原因有两方面: 一方面 GaN 材料吸收系数的增大使单芯片自身内部的发光损耗增大, 降低了单芯片的光提取效率, 当 GaN 材料吸收系数分别为 0.01, 0.05, 0.1 μm 时, 300 μm 正装单芯片光提取效率分别为 43.97%, 34.64%, 29.28%; 另一方面增大了相邻芯片材料的吸收, 加剧了芯片间的影响加剧, 降低了集成 COB 整体的光提取效率和能效。

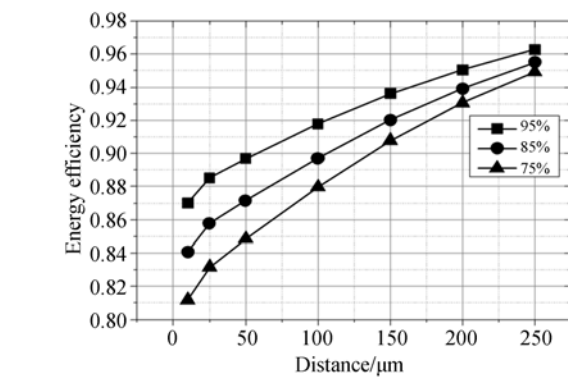
表 3 ITO 材料结构参数

Tab. 3 Parameters of ITO

Material	Thickness/ μm	Refractive index	Transmittance rate
ITO	0.35	1.9	75%~95%



(a) 光提取效率与 ITO 透过率及间距的关系
(a) Variations of light extraction efficiency with ITO transmittance rates and chip distances



(b) 能效与 ITO 透过率及间距的关系
(b) Variations of energy efficiency with ITO transmittance rates and chip distances

图 11 ITO 透过率对于正装芯片 COB 发光特性的影响
Fig. 11 Influence of ITO transmittance rates on performance of face-up COB LEDs

LED 芯片的透明电极还对器件发光具有重要的影响, 本文在模拟计算中选用较为常用的氧化铟锡 (ITO) 作为透明电极, 其材料结构参数如表 3 所示。图 11 表明了 ITO 透明电极的透过率越高, 集成 COB 的整体光提取效率与能效就越高。当 ITO 透过率分别为 95%、85%、75% 时, 300 μm 正装单芯片的光提取效率分别为 43.97%、38.31% 及 34.48%, 芯片间距为 10 μm 的集成 COB 的能效分别为 87%、84.1% 及 81.2%。这也说明了 ITO 透明电极的透过率同样会影响光提取效率以及芯片的相互吸收, 也可以将它作为一种材料吸收。

综上所述, LED 芯片的侧面出光比例和材料的吸收是决定 COB 器件能效的重要因素。因此, 为了提高 COB 的能效, 一方面可以通过降低 COB 集成芯片侧面的出光比例来减小相邻芯片的吸收损耗; 另一方面, 可以在 COB 集成芯片类型固定、侧面出光比例一定时, 通过减小材料的吸收系数、优化 COB 的芯片间距以及改变芯片布局来改善 COB 器件的能效。其中, 改变 COB 的芯片布局在成本上最具优势。

4 基于菱形芯片布局的 COB 封装器件能效模拟结果及分析

正装芯片具有制作工艺简单且成熟稳定、成本低、用途广、用量大等特点, 因此一直是集成封装 LED 重要的集成芯片。但 300 $\mu\text{m} \times 300 \mu\text{m}$

的正装无图型衬底芯片由于侧面出光比例高,相邻芯片吸收损耗大,致使其能效较低。为了改善芯片间距较小的正装芯片 COB 的能效,本文设计提出了菱形芯片布局,以代替传统正方形芯片布局,如图 12 所示,其中芯片间距为 $100\ \mu\text{m}$,两种布局方式的芯片面积相同。利用蒙特卡罗光线追踪法计算了不同芯片数量下两种芯片布局的能效,如图 13 所示。

由图 13 可知,在芯片数量相同的条件下,菱

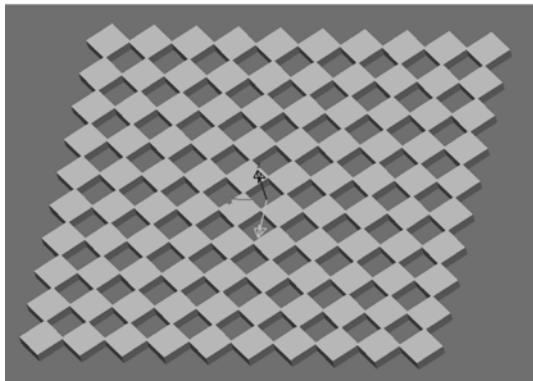


图 12 10×10 正装芯片 COB 菱形布局

Fig. 12 Diamond-shaped layout of 10×10 face-up COB

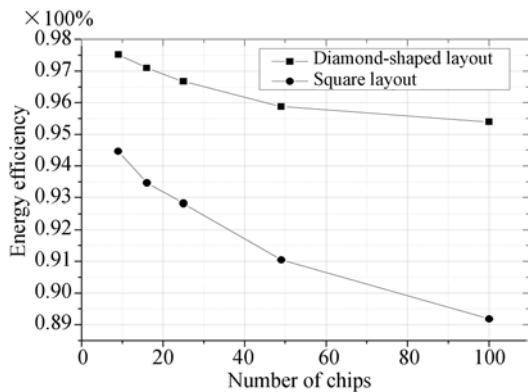


图 13 $300\ \mu\text{m}\times 300\ \mu\text{m}$ 正装芯片 COB 能效与芯片数量的关系

Fig. 13 Relation between energy efficiency of $300\ \mu\text{m}\times 300\ \mu\text{m}$ face-up COB and chip numbers

参考文献:

- [1] GANASAN J R. Chip on chip(COC)and chip on board (COB)assembly on flex rigid printed circuit assemblies [J]. *IEEE Electronics Packaging Manufacturing*, 2006, 23(1):28-31.
- [2] YU H, SHANG J T, XU C, et al.. Chip-on-board

形芯片布局比传统正方形芯片布局的能效高;并且随着 COB 所集成的芯片数量的增加,菱形芯片布局对于 COB 能效提高的幅度越来越大,其提高幅度由 3×3 的 3.05% 增大到 10×10 的 6.21%。这是因为菱形芯片布局减少了 COB 最外围的芯片受相邻芯片吸收影响的侧面数量,有效地增大了 COB 中央芯片的芯片间距,所以减小了芯片间的吸收损耗,进而提高了正装芯片 COB 的能效。同理,当芯片数量增加时,菱形芯片布局 COB 的能效损失要低于正方形芯片布局,所以集成的芯片数量越多,菱形芯片布局对 COB 能效的改善越明显。

5 结 论

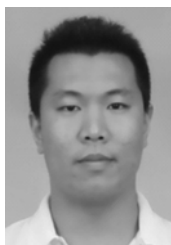
本文基于蒙特卡罗方法模拟和计算分析了集成封装 LED 器件的光提取效率及能效。研究结果表明,芯片的侧面出光占整个芯片出光的比值对 3 种类型 COB 封装器件的光提取效率有决定性影响。在芯片间距小于 $200\ \mu\text{m}$,芯片尺寸或布局等参数相同的条件下,正装芯片 COB 的能效最低,其次为倒装芯片 COB,垂直结构芯片的能效最大;在芯片间距大于 $200\ \mu\text{m}$ 时,3 种芯片 COB 的能效均趋向饱和。芯片的尺寸增加或数量减少可提高正装和倒装芯片 COB 的能效,其中正装结构 COB 的能效上升幅度最大,其次为倒装 COB;而垂直结构 COB 的能效基本保持不变。加入图形衬底可以有效地降低正装芯片的侧面出光比例,提高正装芯片 COB 的能效;但对于倒装芯片,加入图形衬底的效果恰好相反。表面粗糙化的运用可小幅度增大垂直结构芯片 COB 的能效。最后针对正装芯片 COB 提出了一种菱形芯片布局方式。与正方形布局方式相比,菱形布局方式可减少受相邻芯片吸收影响的侧面数量、增大芯片间距,进而提高 COB 的能效;且集成芯片数量越多,菱形芯片布局对能效的提升幅度越大。

(COB) wafer level packaging of LEDs using silicon substrates and chemical foaming process (CFP)-made glass-bubble caps [C]. *International Conference on Electronic Packaging Technology & High Density Packaging*, 2011, 11(7):133-136.

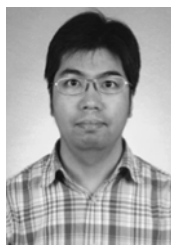
- [3] WIERER J J, STEIGERWALD D A, KRAMES M

- R, *et al.*. High-power AlGaInN flip-chip light-emitting diodes [J]. *Appl. Phys. Lett.*, 2001, 78 (22): 3379-3381.
- [4] WU D, WANG K, LIU SH. Enhancement of light extraction efficiency of multi-chips light-emitting diode array packaging with various microstructure arrays [C]. *Electronic Components and Technology Conference (ECTC)*, 2011:242-245.
- [5] 卓宁泽, 张寅, 赵宝洲, 等. LED 集成封装的一次光学设计与优化 [J]. *光电工程*, 2013, 40 (3):129-134.
ZHUO N Z, ZHANG Y, ZHAO B ZH, *et al.*. First optical design and optimization of LED integrated package [J]. *Opto-Electronic Engineering*, 2013, 40 (3):129-134. (in Chinese)
- [6] LI Z T, WANG Q H, TANG Y, *et al.*. Light extraction improvement for LED COB devices by introducing a patterned leadframe substrate configuration [J]. *IEEE Transactions on Electron Devices*, 2013, 60(4):1397-1403.
- [7] 屠大维, 吴仍茂, 杨恒亮, 等. LED 封装光学结构对光强分别的影像 [J]. *光学精密工程*, 2008, 16 (5):832-838.
TU D W, WU R M, YANG H L, *et al.*. Effect of optical structure on output light intensity distribution in LED package [J]. *Opt. Precision Eng.*, 2008, 16(5):832-838. (in Chinese)
- [8] 马建设, 贺丽云, 刘彤, 等. 板上芯片集成封装的发光二极管结构设计 [J]. *光学精密工程*, 2013, 21 (4):904-910.
MA J SH, HE L Y, LIU T, *et al.*. Design of optical structure for chip-on-board wafer level packaging LEDs[J]. *Opt. Precision Eng.*, 2013, 21 (4):904-910. (in Chinese)
- [9] 郑同场, 李炳乾, 夏正浩. 阵列化互连 LED 模组寿命分布的蒙特卡洛模拟 [J]. *光电子·激光*, 2011, 22(2):207-210.
ZHENG T CH, LI B Q, XIA ZH H. Monte-Carlo simulation of lifetime distribution on array interconnection of LED module [J]. *Journal of Optoelectronics · Laser*, 2011, 22 (2):207-210. (in Chinese)
- [10] 江洋, 罗毅, 汪莱, 等. 柱状与孔状图形衬底对 MOVPE 生长 GaN 体材料及 LED 器件的影响 [J]. *物理学报*, 2009, 58:3468.
JIANG Y, LUO Y, WANG L, *et al.*. Influence of pillar-and hole-patterned sapphire substrates on MOVPE grown GaN bulk and LED structures [J]. *Acta Phys. Sin.*, 2009, 58:3468. (in Chinese)
- [11] FUJII T, GAO Y, SHARMA R, *et al.*. Increase in the extraction efficiency of GaN-based light-emitting diodes via surface roughening [J]. *Appl. Phys. Lett.*, 2004, 84:855.
- [12] PARK E H, FERGUSON I T, JEON S K, *et al.*. InGaN-light emitting diode with high density truncated hexagonal pyramid shaped p-GaN hillocks on the emission surface [J]. *Appl. Phys. Lett.*, 2006, 89:251106.
- [13] LEE S J. Analysis of light-emitting diodes by Monte Carlo photon simulation [J]. *Applied Optics*, 2001, 40(9):1427-1437.
- [14] LEE T X, GAO K F, CHIEN W T, *et al.*. Light extraction analysis of GaN-based light-emitting diodes with surface texture and/or patterned substrate [J]. *Opt. Express*, 2007, 15 (11): 6670-6676.

作者简介:



白一鸣(1984—),男,辽宁沈阳人,博士研究生,2007年、2010年于辽宁大学分别获得学士、硕士学位,主要从事半导体光电子器件方面的研究。E-mail:bym10@mails.tsinghua.edu.cn



韩彦军(1971—),男,河北平山人,博士,副教授,1994年于河北大学获得学士学位,1998年于北京理工大学获得硕士学位,2004年于清华大学获得博士学位,主要从事发光二极管的固态照明,宽禁带半导体材料的固态电子器件的研究。E-mail:yjhan@mail.tsinghua.edu.cn

(版权所有 未经许可 不得转载)